

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-297974

(P2003-297974A)

(43)公開日 平成15年10月17日 (2003.10.17)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード(参考)
H 01 L 23/12	5 0 1	H 01 L 23/12	5 0 1 B 3 K 0 0 7
G 09 F 9/00	3 3 8	G 09 F 9/00	3 3 8 5 C 0 9 4
9/30	3 1 0	9/30	3 1 0 5 F 1 1 0
	3 3 8		3 3 8 5 G 4 3 5
	3 6 5		3 6 5 Z

審査請求 未請求 請求項の数29 OL (全 13 頁) 最終頁に続く

(21)出願番号 特願2002-97197(P2002-97197)

(22)出願日 平成14年3月29日 (2002.3.29)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 木村 瞳

長野県諏訪市大和3丁目3番5号 セイコ  
一エプソン株式会社内

(72)発明者 井上 聰

長野県諏訪市大和3丁目3番5号 セイコ  
一エプソン株式会社内

(74)代理人 100079108

弁理士 稲葉 良幸 (外2名)

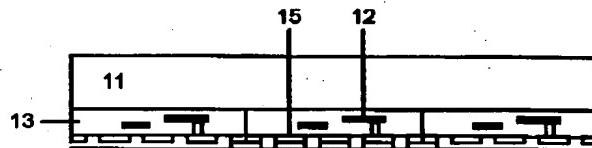
最終頁に続く

(54)【発明の名称】 半導体装置、電気光学装置および半導体装置の製造方法

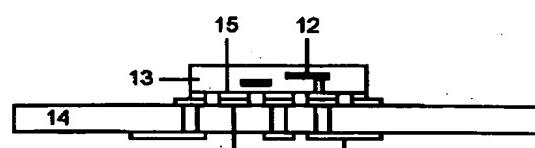
(57)【要約】

【課題】 薄膜トランジスタや有機エレクトロルミネッセンス素子などの機能素子を備える半導体装置において、製造コストを低減しつつ、配線の電圧降下を抑え、時定数を低減することを目的とする。

【解決手段】 第1基板から剥離され、第2基板へ転写された素子チップと、前記素子チップ上の回路と接続される第2基板上の回路とを備える半導体装置であって、前記素子チップは、第1基板上で形成された機能素子をひとつ以上含む。前記第2基板として、プリント基板又はフレキシブルプリント回路基板を用いる。



(a)



(b)

BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 第1基板から剥離され、第2基板へ転写された素子チップと、前記素子チップ上の回路と接続される第2基板上の回路とを備える半導体装置であって、前記素子チップは、第1基板上で形成された機能素子をひとつ以上含み、前記第2基板は、プリント基板又はフレキシブルプリント回路基板であることを特徴とする、半導体装置。

【請求項2】 請求項1記載の、半導体装置において、前記素子チップは、第1基板から剥離され、第3基板を介して第2基板へ転写されたものであることを特徴とする、半導体装置。

【請求項3】 第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子チップを剥離し、第2基板上へ転写し、前記素子チップ上の回路と前記第2基板上の回路を接続する、半導体装置であって、又は、第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに前記素子チップを第2基板上へ転写し、前記素子チップ上の回路と前記第2基板上の回路を接続する、半導体装置であって、

前記第2基板として、プリント基板を用いることを特徴とする、半導体装置。

【請求項4】 第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子チップを剥離し、第2基板上へ転写し、前記素子チップ上の回路と前記第2基板上の回路を接続する、半導体装置であって、又は、第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに前記素子チップを第2基板上へ転写し、前記素子チップ上の回路と前記第2基板上の回路を接続する、半導体装置であって、

前記第2基板として、フレキシブルプリント回路を用いることを特徴とする、半導体装置。

【請求項5】 請求項1乃至4のいずれか1項に記載の半導体装置において、前記プリント基板又は前記フレキシブルプリント回路基板は、両面配線タイプ又は多層配線タイプであることを特徴とする、半導体装置。

【請求項6】 請求項1乃至5のいずれか1項に記載の、半導体装置において、各配線に対して、抵抗値をR、流れる電流をI、許容される電圧降下をVとするとき、  
 $RI < V$

を満たすことを特徴とする、半導体装置。

【請求項7】 請求項1乃至6のいずれか1項に記載の、半導体装置において、各配線に対して、抵抗値をR、容量値をC、許容される時定数をτとするとき、  
 $RC < \tau$

を満たすことを特徴とする、半導体装置。

【請求項8】 請求項6又は請求項7記載の、半導体装

置において、配線幅をW、配線長をL、配線厚をd、抵抗率をr、として、前記抵抗値Rが、  
 $R=rL/(Wd)$

により特定されることを特徴とする、半導体装置。

【請求項9】 請求項7記載の、半導体装置において、各記配線と他の配線の重なり面積をS、前記配線をはさむ絶縁膜について、絶縁膜厚をt、誘電率をεとして、前記容量値Cが、  
 $C = \epsilon S/t$

10 により特定されることを特徴とする、半導体装置。

【請求項10】 請求項1乃至9のいずれか1項に記載の、半導体装置において、前記機能素子が薄膜トランジスタであることを特徴とする、半導体装置。

【請求項11】 請求項10記載の、半導体装置において、前記第2基板の前記薄膜トランジスタが転写された面とは異なる面に、有機エレクトロルミネッセンス素子が形成されていることを特徴とする、半導体装置。

【請求項12】 請求項1乃至9のいずれか1項に記載の、半導体装置において、前記機能素子が有機エレクトロルミネッセンス素子であることを特徴とする、半導体装置。

20 【請求項13】 請求項12記載の、半導体装置において、前記第2基板の前記有機エレクトロルミネッセンス素子が転写された面とは異なる面に、薄膜トランジスタが形成されていることを特徴とする、半導体装置。

【請求項14】 請求項12又は13記載の、半導体装置において、前記有機エレクトロルミネッセンス素子に電流を供給する配線に対して、抵抗値をR、前記有機エレクトロルミネッセンス素子を流れる電流をI、前記有機エレクトロルミネッセンス素子に許容される電圧降下をVとするとき、  
 $RI < V$

を満たすことを特徴とする、半導体装置。

【請求項15】 請求項14記載の、半導体装置において、有機エレクトロルミネッセンス素子に電流を供給する配線に対して、配線幅をW、配線長をL、配線厚をd、抵抗率をr、として、前記抵抗値Rが、  
 $R=rL/(Wd)$

により特定されることを特徴とする、半導体装置。

40 【請求項16】 請求項12又は13記載の、半導体装置において、前記有機エレクトロルミネッセンス素子は、前記第2基板側から、透明電極／発光層／陰極という構造になっていることを特徴とする、半導体装置。

【請求項17】 請求項1乃至16のいずれか1項に記載の、半導体装置において、さらに前記第2基板と貼りあわされる第4基板を備え、前記第2基板上の回路が前記第4基板上の回路と接続されていることを特徴とする、半導体装置。

【請求項18】 請求項17記載の、半導体装置において、前記第2基板上の回路が前記第4基板上に形成され

た有機エレクトロルミネッセンス素子又は薄膜トランジスタと接続されていることを特徴とする、半導体装置。

【請求項19】 請求項18記載の、半導体装置において、前記第4基板上に形成された前記有機エレクトロルミネッセンス素子は、前記第2基板側から、透明電極／発光層／陰極という構造になっていることを特徴とする、半導体装置。

【請求項20】 請求項17乃至19のいずれか1項に記載の、半導体装置において、前記第2基板と前記第4基板の大きさ又は／及び熱膨張率が同程度であることを特徴とする、半導体装置。

【請求項21】 請求項20記載の、半導体装置において、前記第2基板に比べて前記第4基板が1/2以上2倍以下の大きさであること、又は／及び前記第2基板と前記第4基板との熱膨張率の差が0.1%/°C以下であることを特徴とする、半導体装置。

【請求項22】 請求項18記載の、半導体装置において、前記機能素子は薄膜トランジスタであり、前記第2基板の前記薄膜トランジスタが転写された面とは異なる面に、前記第4基板が貼りあわされていることを特徴とする、半導体装置。

【請求項23】 請求項1乃至22のいずれか1項に記載の、半導体装置において、前記第2基板上の引出電極が、前記第2基板のひとつの辺に集中して形成されていることを特徴とする、半導体装置。

【請求項24】 請求項1乃至23のいずれか1項に記載の、半導体装置において、前記素子チップが、前記第1基板からレーザー照射により剥離され、又は／及び転写された素子チップであることを特徴とする、半導体装置。

【請求項25】 請求項1乃至24のいずれか1項に記載の半導体装置を備えていることを特徴とする、電気光学装置。

【請求項26】 第1基板上で機能素子を形成する工程と、  
前記第1基板から前記機能素子をひとつ以上含む素子チップを剥離し、プリント基板又はフレキシブルプリント回路基板である第2基板上へ転写する工程と、  
前記素子チップ上の回路と前記第2基板上の回路を接続する工程と、を備えることを特徴とする半導体装置の製造方法。

【請求項27】 第1基板上で機能素子を形成する工程と、  
前記第1基板から前記機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写する工程と、  
前記素子チップを、前記第3基板から、プリント基板又はフレキシブルプリント回路基板である第2基板上へ転写する工程と、  
前記素子チップ上の回路と前記第2基板上の回路を接続する工程と、を備えることを特徴とする半導体装置の製

造方法。

【請求項28】 請求項26又は27記載の、半導体装置の製造方法において、前記機能素子が薄膜トランジスタ又は有機エレクトロルミネッセンス素子であることを特徴とする、半導体装置の製造方法。

【請求項29】 請求項26乃至28のいずれか1項に記載の、半導体装置の製造方法において、前記素子チップを剥離し、第3基板上へ転写する工程が、レーザー照射を用いて剥離又は／及び転写を行うことを特徴とする、半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 本発明は、薄膜トランジスタや有機エレクトロルミネッセンスなどの機能素子を備えた半導体装置、及び該半導体装置を備えた電気光学装置に関する。

##### 【0002】

【従来の技術】 機能素子、例えば、薄膜トランジスタや有機エレクトロルミネッセンス素子と、この機能素子間の配線や支持基板を備えた半導体装置では、機能素子は全体の一部分で、それ以外は配線や支持基板である場合が少なくない。この半導体装置を、機能素子と配線や支持基板を一体として同一の製造プロセスを経て製造する場合には、高機能の機能素子を作成するための高度で複雑な製造プロセスが必要とされるため、一般的に、製造コストが高額になる。しかしながら、配線や支持基板だけのためには、高度で複雑な製造プロセスは必要とされず、製造コストは安価である。もし、機能素子と、配線や支持基板を別個に作成し、必要とされる部分にだけ機能素子を配置することができれば、全体として平均すれば、この半導体装置の製造コストを低減することが可能である。

【0003】 そこで、本願の発明者らは、第1基板上で機能素子を形成し、機能素子をひとつ以上含む素子チップを剥離し、第2基板上へ転写し、素子チップ上の回路と第2基板上の回路を接続して半導体装置を形成すること、又は、第1基板上で機能素子を形成し、機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに素子チップを第2基板上へ転写し、素子チップ上の回路と第2基板上の回路を接続して半導体装置を形成することを考えるに至った。この方法によれば、必要とされる部分にだけ機能素子を配置することができるので、全体として平均すれば、この半導体装置の製造コストを低減することが可能である。そして、このようにして形成した半導体装置を用いるならば、コストを低減して電気光学装置を製造することができる。

【0004】 なお、剥離や転写のプロセスには、レーザーアビュレーションや接着剤など、従来の技術を用いることができ、これら従来技術は、例えば、T. Shimoda, et al, Techn. Dig. IEDM 1999, 289, S. Utsunomiya,

et al, Dig. Tech. Pap. SID2000, 916, T. Shimoda, Proc. Asia Display / IDW '01, 327, S. Utsunomiya, et al, Proc. Asia Display / IDW '01, 339に詳しい。

#### 【0005】

【発明が解決しようとする課題】上記方法によれば、製造コストを低く抑えたままで、極めて大型の半導体装置を製造することが可能となる。このとき、大型の半導体装置を動作させるために、いかに配線の電圧降下を抑えるか、また、時定数を低減するかが、開発課題となる。

【0006】しかしながら、従来の真空成膜プロセスでは、タクトタイムや内部応力の問題により、配線や絶縁膜の厚膜化には限界があった、故に、配線膜厚を厚くし、配線抵抗を低くすることにより、また、絶縁膜厚を厚くし、絶縁膜容量を小さくすることにより、配線の電圧降下を抑え、時定数を低減する、ということにも限界があった。

【0007】そこで、本発明は、第1基板上で機能素子を形成し、機能素子をひとつ以上含む素子チップを剥離し、第2基板上へ転写し、素子チップ上の回路と第2基板上の回路を接続して半導体装置を形成する場合に、又は、第1基板上で機能素子を形成し、機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに素子チップを第2基板上へ転写し、素子チップ上の回路と第2基板上の回路を接続して半導体装置を形成する場合に、第2基板の配線の電圧降下を抑え、時定数を低減することを目的とする。

#### 【0008】

【課題を解決するための手段】本発明の半導体装置は、第1基板から剥離され、第2基板へ転写された素子チップと、前記素子チップ上の回路と接続される第2基板上の回路とを備える半導体装置であって、前記素子チップは、第1基板上で形成された機能素子をひとつ以上含み、前記第2基板は、プリント基板又はフレキシブルプリント回路基板であることを特徴とする。

【0009】好適には、前記素子チップは、第1基板から剥離され、第3基板を介して第2基板へ転写されたものである。

【0010】また本発明の半導体装置は、第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子チップを剥離し、第2基板上へ転写し、前記素子チップ上の回路と前記第2基板上の回路を接続する、半導体装置であって、又は、第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに前記素子チップを第2基板上へ転写し、前記素子チップ上の回路と前記第2基板上の回路を接続する、半導体装置において、前記第2基板として、プリント基板を用いることを特徴とする。

【0011】また本発明の半導体装置は、第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子

チップを剥離し、第2基板上へ転写し、前記素子チップ上の回路と前記第2基板上の回路を接続する、半導体装置であって、又は、第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに前記素子チップを第2基板上へ転写し、前記素子チップ上の回路と前記第2基板上の回路を接続する、半導体装置にあって、前記第2基板として、フレキシブルプリント回路を用いることを特徴とする。

10 【0012】好適には、前記プリント基板又は前記フレキシブルプリント回路基板は、両面配線タイプ又は多層配線タイプである。

【0013】上記構成によれば、プリント基板又は前記フレキシブルプリント回路基板を用いて、配線膜厚を厚くし、配線抵抗を低くすることにより、また、絶縁膜厚を厚くし、絶縁膜容量を小さくすることにより、製造コストを低減しつつ、配線の電圧降下を抑え、時定数を低減できる。更に、第2基板として、フレキシブルプリント回路を用いる場合には、最終的に、薄型、軽量、曲げることが可能で、壊れにくい半導体装置を得ることができる。

20 【0014】好適には、本発明の半導体装置は、各配線に対して、抵抗値をR、流れる電流をI、許容される電圧降下をVとするとき、

$$RI < V$$

を満たす。

【0015】また、各配線に対して、抵抗値をR、容量値をC、許容される時定数をτとするとき、

$$RC < \tau$$

30 を満たす。

【0016】また、配線幅をW、配線長をL、配線厚をd、抵抗率をr、として、抵抗値Rが、

$$R = rL / (Wd)$$

により特定される。

【0017】また、各配線と他の配線の重なり面積をS、配線をはさむ絶縁膜について、絶縁膜厚をt、誘電率をεとして、容量値Cが、

$$C = \epsilon S / t$$

により特定される。

40 【0018】上記構成によれば、配線材料、配線膜厚、配線幅、配線長、絶縁膜材料、絶縁膜厚などを、最適化することができる。

【0019】好適には、前記機能素子は、薄膜トランジスタ又は有機エレクトロルミネッセンス素子である。

【0020】この場合、前記第2基板の前記薄膜トランジスタ（又は有機エレクトロルミネッセンス素子）が転写された面とは異なる面に、有機エレクトロルミネッセンス素子（又は薄膜トランジスタ）が形成されていることが望ましい。

50 【0021】上記構成によれば、プリント基板又はフレ

キシブルプリント回路を複雑にすることなく、配線の電圧降下を抑え、時定数を低減できる。

【0022】好適には、本発明の半導体装置は、前記機能素子が有機エレクトロルミネッセンス素子である場合、有機エレクトロルミネッセンス素子に電流を供給する配線に対して、抵抗値をR、有機エレクトロルミネッセンス素子を流れる電流をI、有機エレクトロルミネッセンス素子に許容される電圧降下をVとするとき、

$R < V$

を満たす。

【0023】さらにこの場合、有機エレクトロルミネッセンス素子に電流を供給する配線に対して、配線幅をW、配線長をL、配線厚をd、抵抗率をr、として、抵抗値Rが、

$$R = rL / (Wd)$$

により特定される。

【0024】上記構成によれば、機能素子として薄膜トランジスタや有機エレクトロルミネッセンス素子を備える半導体装置においても、プリント基板又は前記フレキシブルプリント回路基板を用いて、配線膜厚を厚くし、配線抵抗を低くすることにより、また、絶縁膜厚を厚くし、絶縁膜容量を小さくすることにより、製造コストを低減しつつ、配線の電圧降下を抑え、時定数を低減できる。また、配線材料、配線膜厚、配線幅、配線長、絶縁膜材料、絶縁膜厚などを、最適化することができる。

【0025】好適には、機能素子が有機エレクトロルミネッセンス素子である場合、有機エレクトロルミネッセンス素子は、第2基板側から、陰極／発光層／透明電極という構造になっている。

【0026】上記構成によれば、配線の電圧降下を抑え、時定数を低減できるだけでなく、有機エレクトロルミネッセンス素子の発光を、透明電極側から取り出すことにより、発光外部取出効率の向上が図れる。

【0027】好適には、本発明の半導体装置は、さらに前記第2基板と貼りあわされる第4基板を備え、前記第2基板上の回路は前記第4基板上の回路と接続されている。この場合、前記第2基板上の回路が前記第4基板上に形成された有機エレクトロルミネッセンス素子又は薄膜トランジスタと接続されていることが望ましい。

【0028】上記構成によれば、第4基板と貼りあわせること、あるいは、有機エレクトロルミネッセンス素子又は薄膜トランジスタを形成した第4基板と貼りあわせることにより、さらに高機能な半導体装置が実現できる。

【0029】好適には、前記第4基板上に形成された有機エレクトロルミネッセンス素子は、第2基板側から、陰極／発光層／透明電極という構造になっている。

【0030】上記構成によれば、配線の電圧降下を抑え、時定数を低減できるだけでなく、有機エレクトロルミネッセンス素子の発光を、透明電極側から取り出すこ

とにより、発光外部取出効率の向上が図れる。

【0031】好適には、前記第2基板と前記第4基板の大きさ又は／及び熱膨張率は同程度である。この場合、第2基板に比べて第4基板が1/2以上2倍以下の大きさであること、又は／及び第2基板と第4基板との熱膨張率の差が0.1%/°C以下であることが望ましい。

【0032】上記構成によれば、配線の電圧降下を抑え、時定数を低減できるだけでなく、製造時あるいは動作時に温度変化があったときにも、ハガレやソリのない、高信頼性の半導体装置が実現できる。

【0033】好適には、前記機能素子は薄膜トランジスタであり、前記第2基板の前記薄膜トランジスタが転写された面とは異なる面に、前記第4基板は貼りあわされている。

【0034】上記構成によれば、プリント基板又はフレキシブルプリント回路を複雑にすることなく、配線の電圧降下を抑え、時定数を低減できる。

【0035】好適には、前記第2基板上の引出電極は、前記第2基板のひとつの辺に集中して形成されている。

20 この場合、第2基板はフレキシブルプリント回路基板であることが望ましい。

【0036】上記構成によれば、配線の電圧降下を抑え、時定数を低減できるだけでなく、フレキシブルプリント回路をロールアップすることが可能となる。

【0037】好適には、前記素子チップは、前記第1基板からレーザー照射により剥離され、又は／及び転写された素子チップである。

【0038】上記構成によれば、容易に、配線の電圧降下を抑え、時定数を低減できる構造を得ることができる。

30 【0039】本発明の電気光学装置は、本発明の半導体装置を備えていることを特徴とする。

【0040】上記構成によれば、配線の電圧降下を抑え、時定数を低減する要請が強い電気光学装置に対して、製造コストを低減しつつ、配線の電圧降下を抑え、時定数を低減できる。

【0041】本発明の半導体装置の製造方法は、第1基板上で機能素子を形成する工程と、前記第1基板から前記機能素子をひとつ以上含む素子チップを剥離し、プリント基板又はフレキシブルプリント回路基板である第2基板上へ転写する工程と、前記素子チップ上の回路と前記第2基板上の回路を接続する工程と、を備えることを特徴とする。

40 【0042】また本発明の半導体装置の製造方法は、第1基板上で機能素子を形成する工程と、前記第1基板から前記機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写する工程と、前記素子チップを、前記第3基板から、プリント基板又はフレキシブルプリント回路基板である第2基板上へ転写する工程と、前記素子チップ上の回路と前記第2基板上の回路を接続する工程と、を備えることを特徴とする。

【0043】また本発明の半導体装置の製造方法は、第1基板上で機能素子を形成する工程と、前記第1基板から前記機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写する工程と、前記素子チップを、前記第3基板から、プリント基板又はフレキシブルプリント回路基板である第2基板上へ転写する工程と、前記素子チップ上の回路と前記第2基板上の回路を接続する工程

と、を備えることを特徴とする。

【0043】好適には、前記機能素子は薄膜トランジスタ又は有機エレクトロルミネッセンス素子である。

【0044】好適には、前記素子チップを剥離し、第3基板上へ転写する工程は、レーザー照射を用いて剥離又は／及び転写を行う。

【0045】

【発明の実施の形態】以下、本発明の好ましい実施の形態を説明する。

【0046】(第1の実施例) 図1は、本発明の第1の実施例の半導体装置の製造方法を示す図である。第1基板11上で機能素子12(例えば薄膜トランジスタや有機エレクトロルミネッセンス素子など)を形成し、機能素子12をひとつ以上含む素子チップ13を剥離し、第2基板14上へ転写し、素子チップ13上の回路と第2基板14上の回路を接続することにより、半導体装置を形成する。素子チップ13上には、導電性材料から成る第1パッド15が形成され、第2基板14上には、導電性材料から成る第2パッド16が形成されており、第1パッド15と第2パッド16の導通をとることにより、素子チップ13上の回路と第2基板14上の回路(配線17など)を接続する。図1(a)は、第1基板11と第2基板14を貼り合わせている図、図1(b)は、素子チップ13を剥離し、第2基板14上へ転写し、第1基板11を取り除いた図である。第1パッド15と第2パッド16との導通をとるのは、剥離転写前でも後でもよい。

【0047】図2は、本発明の第1の実施例の半導体装置の構造を示す図である。図2(a)は、上側からの鳥瞰図、図2(b)は、下側からの鳥瞰図である。第2基板14として、プリント基板(本実施例では、両面配線のプリント基板)を用いている。両面の配線17間は、ビアプラグ18で接続している。

【0048】これらの構造によれば、プリント基板を用いて、配線膜厚を厚くし、配線抵抗を低くすることにより、また、絶縁膜厚を厚くし、絶縁膜容量を小さくすることにより、製造コストを低減しつつ、配線の電圧降下を抑え、時定数を低減できる。

【0049】本実施例では、ある配線17に対して、抵抗値が $42\Omega$ 、流れる電流が $2.3mA$ 、許容される電圧降下が $100mV$ である。つまり、抵抗値をR、流れる電流をI、許容される電圧降下をVとするとき、

$$RI < V$$

を満たしている。また、ある配線17に対して、抵抗値が $42\Omega$ 、容量値が $41pF$ 、許容される時定数が $2\mu s$ である。つまり、抵抗値をR、容量値をC、許容される時定数をτとするとき、

$$RC < \tau$$

を満たしている。また、上記の配線17に対して、配線幅が $100\mu m$ 、配線長が $256mm$ 、配線厚が $1.6\mu m$ 、抵抗率が $2.6 \times 10^{-8}\Omega m$ 、抵抗値が $42\Omega$ である。つまり、配線幅を

W、配線長をL、配線厚をd、抵抗率をr、として、抵抗値Rが、

$$R = rL / (Wd)$$

により特定されている。また、上記の配線17に対して、その配線と他の配線の重なり面積が、 $1.2 \times 10^{-6}m^2$ 、配線をはさむ絶縁膜について、絶縁膜厚が $1\mu m$ 、誘電率が $3.45 \times 10^{-11}Fm^{-1}$ 、容量値が $41pF$ である。つまり、その配線と他の配線の重なり面積をS、配線をはさむ絶縁膜について、絶縁膜厚をt、誘電率をεとして、容量値Cが、

$$C = \epsilon S / t$$

により特定されている。

【0050】これらの方法によれば、配線材料、配線膜厚、配線幅、配線長、絶縁膜材料、絶縁膜厚などを、最適化することができる。

【0051】なお、第1基板11、機能素子12、素子チップ13、第2基板14、第1パッド15、第2パッド16、配線17、ビアプラグ18などの材料、製造方法、構造などは、いかなるものであっても、本発明の思想は有効である。

【0052】(第2の実施例) 図3は、本発明の第2の実施例の半導体装置の製造方法を示す図である。第1基板11上で機能素子12(例えば薄膜トランジスタや有機エレクトロルミネッセンス素子など)を形成し、機能素子12をひとつ以上含む素子チップ13を剥離し、第3基板19上へ転写し、さらに素子チップ13を第2基板14上へ転写し、素子チップ13上の回路と第2基板14上の回路を接続することにより、半導体装置を形成する。すなわち、本実施例では、素子チップ13は、第1基板11から剥離され、第3基板19を介して第2基板14へと転写される。図3(a)は、第1基板11と第3基板19を貼り合わせている図、図3(b)は、素子チップ13を剥離し、第3基板19上へ転写し、第3基板19と第2基板14を貼り合わせている図、図3(c)は、素子チップ13を第2基板14上へ転写し、第3基板19を取り除いた図である。第1パッド15と第2パッド16との導通をとるのは、第3基板から第2基板への剥離転写後に行う。

【0053】図4は、本発明の第2の実施例の半導体装置の構造を示す図である。図4(a)は、上側からの鳥瞰図、図4(b)は、下側からの鳥瞰図である。第2基板14として、フレキシブルプリント回路基板(本実施例

40)では、多層配線のフレキシブルプリント回路基板)を用いている。ここでは3層配線であるが、4層以上であってもよい。多層の配線17間は、ビアプラグ18で接続している。

【0054】これらの構造によれば、フレキシブルプリント回路基板を用いて、配線膜厚を厚くし、配線抵抗を低くすることにより、また、絶縁膜厚を厚くし、絶縁膜容量を小さくすることにより、製造コストを低減しつつ、配線の電圧降下を抑え、時定数を低減できる。また、第2基板14として、フレキシブルプリント回路基板を用いているので、最終的に、薄型、軽量、曲げること

が可能で、壊れにくい半導体装置を得ることができる。

【0055】なお、第1基板11、機能素子12、素子チップ13、第2基板14、第1パッド15、第2パッド16、配線17、ピアラグ18、第3基板19、接続配線20などの材料、製造方法、構造などは、いかなるものであっても、本発明の思想は有効である。

【0056】(第3の実施例)図5は、本発明の第3の実施例の半導体装置の構造を示す図である。機能素子として薄膜トランジスタを含む素子チップ21や第2基板22やこれらの製造方法は、第1と第2の実施例と概略は同様である。

【0057】本実施例では、第4基板27に有機エレクトロルミネッセンス素子26が形成されている。また、第2基板22上の機能素子は薄膜トランジスタである。

【0058】まず素子チップ21を第2基板22に転写し、その後、第2基板22に第4基板27を異方導電材料28を介して貼りつける。その後、有機エレクトロルミネッセンス素子26を第4基板27から剥離してもよい。有機エレクトロルミネッセンス素子26を第4基板27から剥離するときは、第2基板22の前記薄膜トランジスタが転写された面とは異なる面に、機能素子として有機エレクトロルミネッセンス素子26が形成されることになる。

【0059】なお、上記構成とは逆に、素子チップ21が有機エレクトロルミネッセンス素子を含み、第4基板27に薄膜トランジスタが形成されている構成としてもよい。

【0060】上記構成によれば、機能素子として薄膜トランジスタや有機エレクトロルミネッセンス素子を備える半導体装置においても、プリント基板を用いることで、配線膜厚を厚くし、配線抵抗を低くすることにより、また、絶縁膜厚を厚くし、絶縁膜容量を小さくすることにより、製造コストを低減しつつ、配線の電圧降下を抑え、時定数を低減できる。

【0061】ここで、有機エレクトロルミネッセンス素子26を第4基板27から剥離しないときは、本実施例では、第2基板22と第4基板27とを貼りあわせた状態で半導体装置が構成される。

【0062】このように、第2基板22と第4基板27と貼りあわせること、あるいは、有機エレクトロルミネッセンス素子26を形成した第4基板27と貼りあわせることにより、さらに高機能な半導体装置が実現できる。

【0063】本実施例では、有機エレクトロルミネッセンス素子26に電流を供給する配線25に対して、抵抗値が $42\Omega$ 、流れる電流が $2.3mA$ 、許容される電圧降下が $100mV$ である。つまり、有機エレクトロルミネッセンス素子26に電流を供給する配線25に対して、抵抗値をR、有機エレクトロルミネッセンス素子を流れる電流をI、有機エレクトロルミネッセンス素子27に許容される電圧降下をVとするとき、 $R \ll V$ を満たしている。また、有機エレクトロルミネッセンス素子26に電流を供給する配線25に対

して、配線幅が $100\mu m$ 、配線長が $256mm$ 、配線厚が $1.6\mu m$ 、抵抗率が $2.6 \times 10^{-8}\Omega m$ 、抵抗値が $42\Omega$ である。つまり、有機エレクトロルミネッセンス素子26に電流を供給する配線25に対して、配線幅をW、配線長をL、配線厚をd、抵抗率をr、として、抵抗値Rが、 $R = rL/(Wd)$ により特定されている。

【0064】本実施例の構成によれば、機能素子として薄膜トランジスタや有機エレクトロルミネッセンス素子を備える半導体装置において、配線材料、配線膜厚、配線幅、配線長、絶縁膜材料、絶縁膜厚などを、最適化することができる。

【0065】本実施例では、有機エレクトロルミネッセンス素子26は、第2基板22側から、陰極/発光層/透明電極という構造になっている。有機エレクトロルミネッセンス素子26の製造方法は、後述のとおりである。

【0066】この構造によれば、配線の電圧降下を抑え、時定数を低減できるだけでなく、有機エレクトロルミネッセンス素子の発光を、透明電極側から取り出すことにより、発光外部取出効率の向上が図れる。

【0067】本実施例では、第2基板22と第4基板27が同程度の大きさで、第2基板22と第4基板27との熱膨張率が同程度の大きさである。より具体的には、第2基板22に比べて第4基板27が $1/2$ 以上 $2$ 倍以下の大きさで、第2基板22と第4基板27との熱膨張率の差が $0.1\%/\text{°C}$ 以下である。

【0068】これらの構造によれば、配線の電圧降下を抑え、時定数を低減できるだけでなく、製造時あるいは動作時に温度変化があったときにも、ハガレやソリのない、高信頼性の半導体装置が実現できる。

【0069】本実施例では、第2基板22の一方の面に薄膜トランジスタを、他方に有機エレクトロルミネッセンス素子26を形成している。この構造によれば、プリント基板又はフレキシブルプリント回路を複雑にすることなく、配線の電圧降下を抑え、時定数を低減できる。

【0070】なお、素子チップ21、第2基板22、第1パッド23、第2パッド24、配線25、有機エレクトロルミネッセンス素子26、第4基板27、異方導電材料28などの材料、製造方法、構造などは、いかなるものであっても、本発明の思想は有効である。

【0071】(第4の実施例)図6は、本発明の第4の実施例の電気光学装置の構造を示す図である。本実施例の電気光学装置は、第1～第3の実施例と同様な構造の半導体装置を備えている。図6(a)は、概観図である。表示領域31上に、素子チップ32が配置され、配線33が形成されている。配線33は、引出配線34により、駆動回路35に接続されている。素子チップ32は、第1～第3の実施例と同様にして表示領域31(第2基板に相当)上に形成することができ、それぞれ表示素子を含んでいる。

【0072】この構造によれば、一般に、配線の電圧降下を抑え、時定数を低減する要請が強い電気光学装置に

対して、製造コストを低減しつつ、配線の電圧降下を抑え、時定数を低減できる。特に、電気光学装置では、一般に、機能素子に対する配線や支持基板の面積比が大きいので、配線や支持基板を別個に作成し、必要とされる部分にだけ機能素子を配置することによる製造コストの低減の効果が、より有効となる。

【0073】本実施例では、フレキシブルプリント回路基板を用いる半導体装置において、第2基板上の引出電極を、第2基板のひとつの辺に集中して形成している。

【0074】この構造によれば、配線の電圧降下を抑え、時定数を低減できるだけでなく、フレキシブルプリント回路基板をロールアップすることが可能となる。図6(b)は、ロールアップしたときの図である。

【0075】なお、本発明の半導体装置を用いて、アクティブマトリクス方式で駆動する電気光学装置を製造することもできる。図10は、電気光学装置70の画素領域の回路構成図であり、各画素は、電界発光効果により発光可能な発光層OLED、それを駆動するための電流を記憶する保持容量C、本発明の製造方法で製造される薄膜トランジスタT1及びT2を備えて構成されている。走査線ドライバ71からは、選択信号線Vselが各画素に供給されている。データ線ドライバ72からは、信号線Vsig及び電源線Vddが各画素に供給されている。選択信号線Vselと信号線Vsigを制御することにより、各画素に対する電流プログラムが行われ、発光部OLEDによる発光が制御される。

【0076】(剥離転写方法の例) 図7は、本発明の剥離転写方法の例を示す図である。本発明の剥離転写のひとつ的方法として説明する。なお、剥離転写方法については、例えば、T. Shimoda, et al, Techn. Dig. IEDM 1999, 289; S. Utsunomiya, et al, Dig. Tech. Pap. SID 2000, 916; T. Shimoda, Proc. Asia Display / IDW '01, 327; S. Utsunomiya, et al, Proc. Asia Display / IDW '01, 339などに詳しい。

【0077】まず、石英やガラスでできた第1基板41上に、SiH<sub>4</sub>を用いたPECVDや、Si<sub>2</sub>H<sub>6</sub>を用いたLPCVDにより、非晶質シリコン膜42を成膜する。次に、その上に、機能素子43を形成する。最上層には、第1パッド44を形成する(図7(a))。これを上下逆にして、第2基板45に貼り合わせ、石英やガラスでできているため透明な第1基板41を通して、剥離転写したい素子チップ47のみ、レーザー46を照射する(図7(b))。すると、レーザー46が照射したところのみ、非晶質シリコン膜42がアビュレーションして剥離し、素子チップ47が第2基板45に転写する(図7(c))。このように、ここでは、素子チップ47の剥離や転写に、レーザー46の照射を用いている。この構造によれば、素子チップ47の剥離や転写を、確実に行うことが可能となる。

【0078】(薄膜トランジスタの製造方法の例) 図8は、本発明の薄膜トランジスタの製造方法の例を示す図

である。本発明の機能素子のひとつとしての薄膜トランジスタについて、その製造方法を説明する。ここでは、レーザー結晶化多結晶薄膜トランジスタを例にとって説明する。まず、石英やガラスでできた第1基板51上に、SiH<sub>4</sub>を用いたPECVDや、Si<sub>2</sub>H<sub>6</sub>を用いたLPCVDにより、非晶質シリコン膜を成膜する。レーザー53を照射することにより、非晶質シリコン膜は結晶化し、多結晶シリコン膜52となる(図8(a))。多結晶シリコン膜52をパターニングした後、ゲート絶縁膜54を成膜し、ゲート電極55を成膜およびパターニングする(図8(b))。リンやボロンなどの不純物をゲート電極55を用いて自己整合的に多結晶シリコン膜52に打ち込み、活性化し、CMOS構造のソース領域およびドレイン領域56を形成する。層間絶縁膜57を成膜し、コンタクトホールを開穴し、ソース電極およびドレイン電極58を成膜およびパターニングする(図8(c))。

【0079】(有機エレクトロルミネッセンス素子の製造方法の例) 図9は、本発明の有機エレクトロルミネッセンス素子の製造方法の例を示す図である。本発明の機能素子のひとつとしての有機エレクトロルミネッセンス素子について、その製造方法を説明する。まず、石英やガラスでできた第1基板61上に、透明電極62を成膜し、密着層63を成膜し、発光させたい領域に開口部を形成する。ポリイミドやアクリルによりバンク64を成膜し、発光させたい領域に開口部を形成する。(図9(a))。次に、酸素プラズマやCF<sub>4</sub>プラズマなどのプラズマ処理により、基板表面の濡れ性を制御する。その後、正孔注入層65および発光層66を、スピンドルコート、スキーージ塗り、インクジェットプロセス(T. Shimoda, S. Seki, et al, Dig. SID '99, 376; S. Kanbe, et al, Proc. Euro Display '99 Late-News Papers, 85)などの液相プロセスや、スパッタ、蒸着などの真空プロセスにより成膜する。仕事関数が小さくするためにアルカリ金属を含んだ陰極67を成膜し、封止剤68により封止し、完成する(図9(b))。なお、本有機エレクトロルミネッセンス素子の製造方法の例は、第4基板に形成する有機エレクトロルミネッセンス素子の製造方法として、用いることもできる。

【0080】(その他) 本発明の半導体装置は、電気光学装置を備える各種の電子機器に適用可能である。図11に本発明の半導体装置を適用可能な電子機器の例を挙げる。

【0081】同図(a)は携帯電話への適用例であり、携帯電話230は、アンテナ部231、音声出力部232、音声入力部233、操作部234、及び本発明の半導体装置を備える電気光学装置(図では、図10に示す電気光学装置10)を備えている。このように本発明の半導体装置を備える電気光学装置は、携帯電話230の表示部として利用可能である。

【0082】同図(b)はビデオカメラへの適用例であ

り、ビデオカメラ240は、受像部241、操作部242、音声入力部243、及び本発明の半導体装置を備える電気光学装置（図では、図10に示す電気光学装置10）を備えている。このように本発明の半導体装置を備える電気光学装置は、ファインダーや表示部として利用可能である。

【0083】同図（c）は携帯型パーソナルコンピュータへの適用例であり、コンピュータ250は、カメラ部251、操作部252、及び本発明の半導体装置を備える電気光学装置（図では、図10に示す電気光学装置10）を備えている。このように本発明の半導体装置を備える電気光学装置は、表示部として利用可能である。

【0084】同図（d）はヘッドマウントディスプレイへの適用例であり、ヘッドマウントディスプレイ260は、バンド261、光学系収納部262及び本発明の半導体装置を備える電気光学装置（図では、図10に示す電気光学装置10）を備えている。このように本発明の半導体装置を備える電気光学装置は、画像表示源として利用可能である。

【0085】同図（e）はリア型プロジェクターへの適用例であり、プロジェクター270は、筐体271に、光源272、合成光学系273、ミラー274、ミラー275、スクリーン276、及び本発明の半導体装置を備える電気光学装置（図では、図10に示す電気光学装置10）を備えている。このように本発明の半導体装置を備える電気光学装置は、画像表示源として利用可能である。

【0086】同図（f）はフロント型プロジェクターへの適用例であり、プロジェクター280は、筐体282に光学系281及び本発明の半導体装置を備える電気光学装置（図では、図10に示す電気光学装置10）を備え、画像をスクリーン283に表示可能になっている。このように本発明の半導体装置を備える電気光学装置は、画像表示源として利用可能である。

【0087】上記例に限らず本発明の半導体装置を備える電気光学装置は、あらゆる電子機器に適用可能である。例えば、表示機能付きファックス装置、デジタルカメラのファインダ、携帯型TV、DSP装置、PDA、電子手帳、電光掲示盤、宣伝公告用ディスプレイなどにも活用することができる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例の半導体装置の製造方法を示す図である。

【図2】本発明の第1の実施例の半導体装置の構造を示す図である。

【図3】本発明の第2の実施例の半導体装置の製造方法を示す図である。

【図4】本発明の第2の実施例の半導体装置の構造を示す図である。

【図5】本発明の第3の実施例の半導体装置の構造を示す図である。

【図6】本発明の第4の実施例の電気光学装置の構造を

示す図である。

【図7】本発明の剥離転写方法の例を示す図である。

【図8】本発明の薄膜トランジスタの製造方法の例を示す図である。

【図9】本発明の有機エレクトロルミネッセンス素子の製造方法の例を示す図である。

【図10】本発明の半導体装置を備える電気光学装置の構造例を示す図である。

【図11】本発明の半導体装置を備える電気光学装置の適用例を示す図である。

#### 【符号の説明】

- |     |                  |
|-----|------------------|
| 1 1 | 第1基板             |
| 1 2 | 機能素子             |
| 1 3 | 素子チップ            |
| 1 4 | 第2基板             |
| 1 5 | 第1パッド            |
| 1 6 | 第2パッド            |
| 1 7 | 配線               |
| 1 8 | ピアラグ             |
| 2 0 | 第3基板             |
| 2 0 | 接続配線             |
| 2 1 | 素子チップ            |
| 2 2 | 第2基板             |
| 2 3 | 第1パッド            |
| 2 4 | 第2パッド            |
| 2 5 | 配線               |
| 2 6 | 有機エレクトロルミネッセンス素子 |
| 2 7 | 第4基板             |
| 2 8 | 異方導電材料           |
| 3 0 | 表示領域             |
| 3 2 | 素子チップ            |
| 3 3 | 配線               |
| 3 4 | 引出配線             |
| 3 5 | 駆動回路             |
| 4 1 | 第1基板             |
| 4 2 | 非晶質シリコン膜         |
| 4 3 | 機能素子             |
| 4 4 | 第1パッド            |
| 4 5 | 第2基板             |
| 4 6 | レーザー             |
| 4 7 | 素子チップ            |
| 5 1 | 第1基板             |
| 5 2 | 多結晶シリコン膜         |
| 5 3 | レーザー             |
| 5 4 | ゲート絶縁膜           |
| 5 5 | ゲート電極            |
| 5 6 | ソース領域およびドレイン領域   |
| 5 7 | 層間絶縁膜            |
| 5 8 | ソース電極およびドレイン電極   |
| 50  | 6 1 第1基板         |

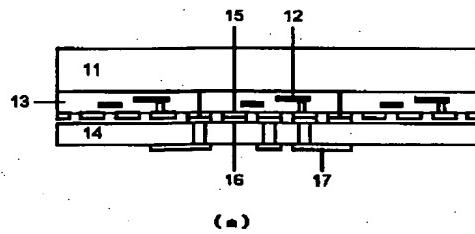
17

18

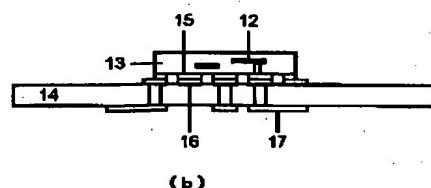
- 6 2 透明電極  
 6 3 密着層  
 6 4 パンク  
 6 5 正孔注入層  
 6 6 発光層  
 6 7 陰極  
 6 8 封止剤  
 7 0 電気光学装置

- 7 1 走査線ドライバ  
 7 2 データ線ドライバ  
 2 3 0 携帯電話  
 2 4 0 ビデオカメラ  
 2 5 0 携帯型パーソナルコンピュー<sup>ト</sup>  
 2 6 0 タヘッドマウントディスプレイ  
 2 7 0 リア型プロジェクター  
 2 8 0 フロント型プロジェクター

【図1】

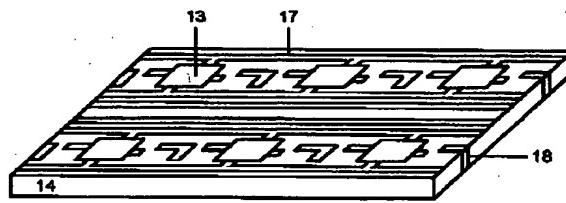


(a)

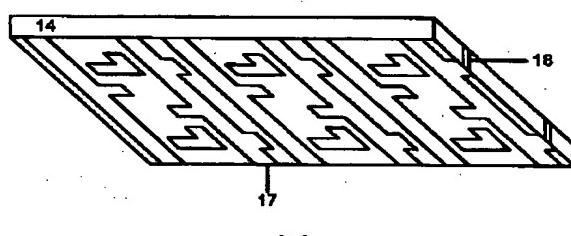


(b)

【図2】

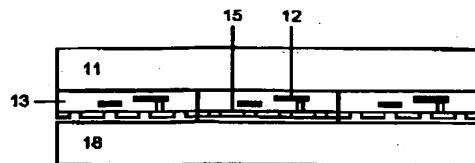


(a)

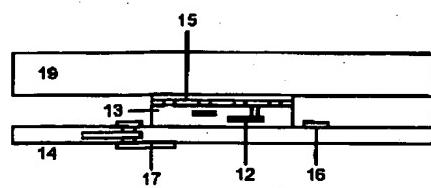


(b)

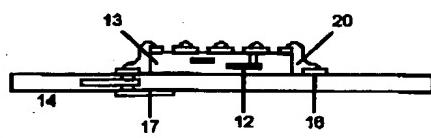
【図3】



(a)

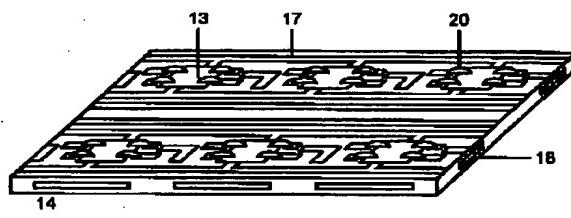


(b)

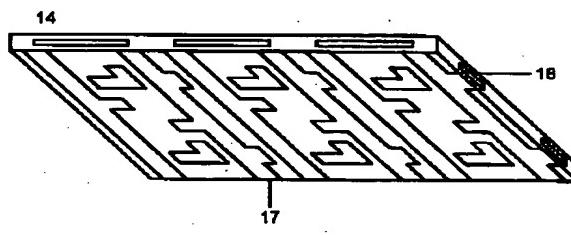


(c)

【図4】

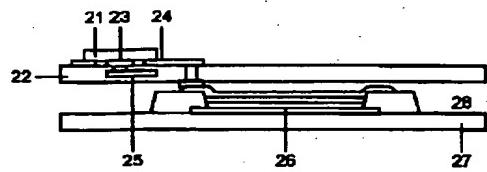


(a)

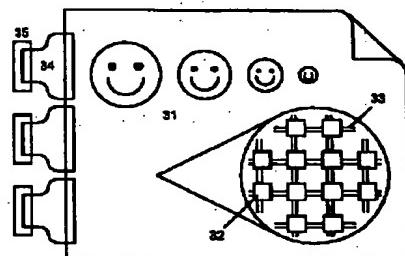


(b)

【図5】



【図6】

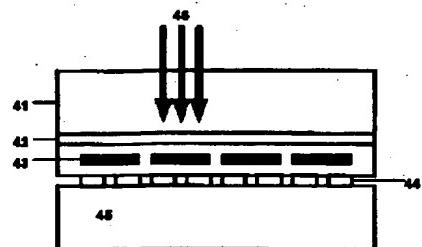


(a)

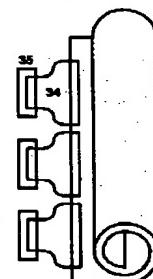
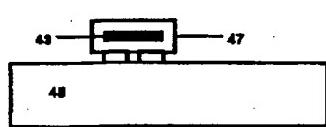
【図7】



(a)

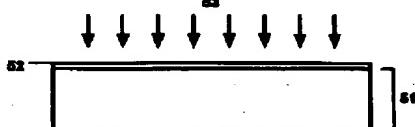


(b)

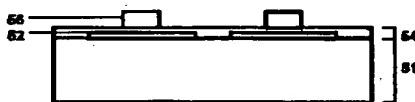


(b)

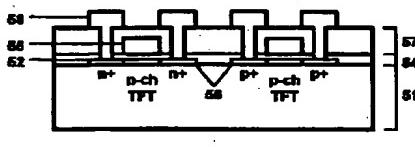
【図8】



(a)

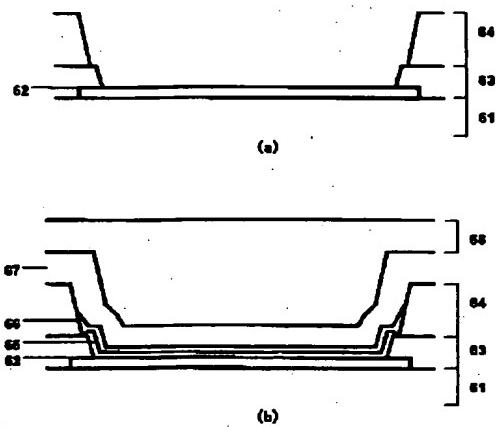


(b)

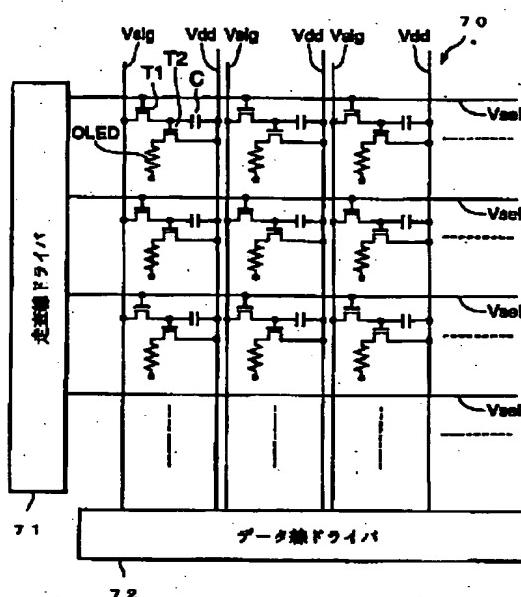


(c)

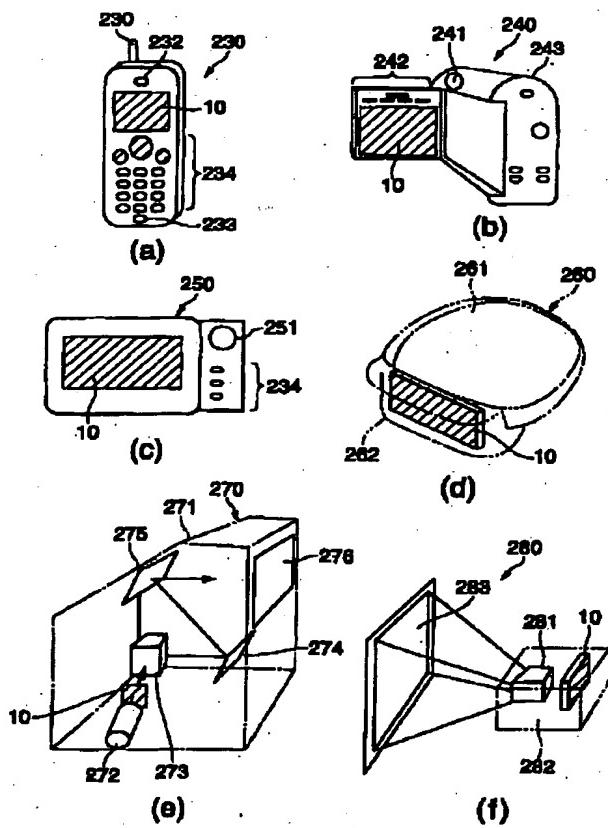
【図9】



【図10】



【図11】



フロントページの続き

(51) Int. Cl. 7 識別記号

H 0 1 L 21/336

29/786

H 0 5 B 33/10

33/14

F I

テーマコード(参考)

H 0 5 B 33/10

33/14

A

H 0 1 L 29/78

6 2 7 D

(72) 発明者 宇都宮 純夫

長野県諏訪市大和3丁目3番5号 セイコ

一エプソン株式会社内

(72) 発明者 鎌倉 知之

長野県諏訪市大和3丁目3番5号 セイコ

一エプソン株式会社内

(72) 発明者 守谷 壮一

長野県諏訪市大和3丁目3番5号 セイコ

一エプソン株式会社内

(72) 発明者 春日 昌志

長野県諏訪市大和3丁目3番5号 セイコ

一エプソン株式会社内

(72) 発明者 原 弘幸

長野県諏訪市大和3丁目3番5号 セイコ

一エプソン株式会社内

F ターム(参考) 3K007 AB18 BA06 BB07 CA00 CA06

CB01 DB03 FA02 GA04

5C094 AA04 AA13 AA43 AA53 AA55

BA03 BA27 CA19 DA06 DA13

DB01 DB03 EA04 EA05 EA10

EB10 FA01 FA02 FB01 FB20

GB10 JA01

5F110 AA03 AA28 BB01 BB04 CC02

DD01 GG02 GG13 GG45 GG47

HJ01 HJ13 NN02 PP03 QQ11

QQ16

5G435 AA01 AA16 AA17 BB05 CC09

EE36 EE37 EE41 HH01 HH20

KK05 KK09

(72) 発明者 佐伯 孝行

長野県諏訪市大和3丁目3番5号 セイコ

一エプソン株式会社内

(72) 発明者 宮沢 和加雄

長野県諏訪市大和3丁目3番5号 セイコ

一エプソン株式会社内

(72) 発明者 土橋 福美

長野県諏訪市大和3丁目3番5号 セイコ

一エプソン株式会社内

## NOTICES \*

Japan Patent Office is not responsible for any  
images caused by the use of this translation.

This document has been translated by computer. So the translation may not reflect the original precisely.

\*\*\*\* shows the word which can not be translated.

In the drawings, any words are not translated.

## CLAIMS

## Claim(s)

Claim 1] It is the semiconductor device which exfoliates from the 1st substrate, is a semiconductor device equipped with an element chip imprinted to the 2nd substrate, and a circuit on the 2nd substrate connected with a circuit on said element chip, and is characterized by said 2nd substrate being a printed circuit board or a flexible printed circuit substrate including one or more functional devices in which said element chip was formed on the 1st substrate.

Claim 2] It is the semiconductor device which said element chip exfoliates from the 1st substrate in a semiconductor device according to claim 1, and is characterized by imprinting through the 3rd substrate to the 2nd substrate.

Claim 3] Form a functional device on the 1st substrate and an element chip containing said one or more functional devices is exfoliated. It is the semiconductor device which imprints to up to the 2nd substrate and connects a circuit on said element chip, and a circuit on said 2nd substrate. Or form a functional device on the 1st substrate and an element chip containing said one or more functional devices is exfoliated. A semiconductor device which is a semiconductor device which imprints to up to the 3rd substrate, imprints said element chip to up to the 2nd substrate further, and connects a circuit on said element chip, and a circuit on said 2nd substrate, and is characterized by using a printed circuit board as said 2nd substrate.

Claim 4] Form a functional device on the 1st substrate and an element chip containing said one or more functional devices is exfoliated. It is the semiconductor device which imprints to up to the 2nd substrate and connects a circuit on said element chip, and a circuit on said 2nd substrate. Or form a functional device on the 1st substrate and an element chip containing said one or more functional devices is exfoliated. A semiconductor device which is a semiconductor device which imprints to up to the 3rd substrate, imprints said element chip to up to the 2nd substrate further, and connects a circuit on said element chip, and a circuit on said 2nd substrate, and is characterized by using a flexible printed circuit as said 2nd substrate.

Claim 5] It is the semiconductor device characterized by said printed circuit board or said flexible printed circuit substrate being a double-sided wiring type or a multilayer-interconnection type in a semiconductor device given in claim 1 thru/or any 1 term of 4.

Claim 6] A semiconductor device characterized by filling  $R_1 < V$  in a semiconductor device given in claim 1 thru/or any term of 5 when setting R and flowing current to I and setting a voltage drop permitted to V for resistance to each ring.

Claim 7] A semiconductor device characterized by filling  $RC < \tau$  in a semiconductor device given in claim 1 thru/or any 1 term of 6 when setting R and capacity value to C and setting a time constant permitted to  $\tau$  for resistance to each ring.

Claim 8] A semiconductor device characterized by setting L and wiring thickness to d, setting resistivity to r, and said resistance R being specified [ wire length / W and ] by  $R = rL/(Wd)$  in wiring width of face in a semiconductor device according to claim 6 or 7.

Claim 9] A semiconductor device which sets insulator layer thickness to t, sets a dielectric constant to epsilon, and is characterized by said capacity value C being specified by  $C = \epsilon S/t$  in a semiconductor device according to claim 7 out an insulator layer which sandwiches S and said wiring for lap area of each aforementioned wiring and other ring.

Claim 10] A semiconductor device characterized by said functional device being a thin film transistor in a semiconductor device given in claim 1 thru/or any 1 term of 9.

Claim 11] A semiconductor device characterized by forming an organic electroluminescent element in a different field from a field where said thin film transistor of said 2nd substrate was imprinted in a semiconductor device according to claim 10.

Claim 12] A semiconductor device characterized by said functional device being an organic electroluminescent element.

[http://www4.ipdl.jpo.go.jp/cgi-bin/tran\\_web.cgi\\_ejje?u=http%3A%2F%2Fwww4.ipdl.jpo.go.jp%2FTokuj...](http://www4.ipdl.jpo.go.jp/cgi-bin/tran_web.cgi_ejje?u=http%3A%2F%2Fwww4.ipdl.jpo.go.jp%2FTokuj...) 1/12/2004

ment in a semiconductor device given in claim 1 thru/or any 1 term of 9.

claim 13] A semiconductor device characterized by forming a thin film transistor in a different field from a field where d organic electroluminescent element of said 2nd substrate was imprinted in a semiconductor device according to im 12.

claim 14] A semiconductor device characterized by filling  $R_1 < V$  when setting to V a voltage drop permitted by I and d organic electroluminescent element in current which flows R and said organic electroluminescent element in instance in a semiconductor device according to claim 12 or 13 to wiring which supplies current to said organic ctroluminescent element.

claim 15] A semiconductor device characterized by setting L and wiring thickness to d, setting resistivity to r, and said instance R being specified [ wire length / W and ] by  $R=rL/(Wd)$  in wiring width of face in a semiconductor device cording to claim 14 to wiring which supplies current to an organic electroluminescent element.

claim 16] It is the semiconductor device characterized by said organic electroluminescent element having structure of a nsparent electrode / luminous layer / cathode from said 2nd substrate side in a semiconductor device according to im 12 or 13.

claim 17] A semiconductor device which is equipped with the 4th substrate which sticks with said 2nd substrate ther and is set, and is characterized by connecting a circuit on said 2nd substrate with a circuit on said 4th substrate in semiconductor device given in claim 1 thru/or any 1 term of 16.

claim 18] A semiconductor device characterized by connecting with an organic electroluminescent element or a thin n transistor by which a circuit on said 2nd substrate was formed on said 4th substrate in a semiconductor device cording to claim 17.

claim 19] Said organic electroluminescent element formed on said 4th substrate in a semiconductor device according claim 18 is a semiconductor device characterized by having structure of a transparent electrode / luminous layer / hode from said 2nd substrate side.

claim 20] A semiconductor device characterized by magnitude or/and coefficient of thermal expansion of said 2nd ostrate and said 4th substrate being comparable in a semiconductor device given in claim 17 thru/or any 1 term of 19.

claim 21] A semiconductor device characterized by that said 4th substrate is the magnitude of an or more 1/22 double s or equal, or/and a difference of coefficient of thermal expansion of said 2nd substrate and said 4th substrate being %/degree C or less in a semiconductor device according to claim 20 compared with said 2nd substrate.

claim 22] It is the semiconductor device characterized by for said 4th substrate sticking a field where said functional vice is a thin film transistor, and said thin film transistor of said 2nd substrate was imprinted on a different field in a niconductor device according to claim 18, and being united.

claim 23] A semiconductor device characterized by concentrating and forming a drawer electrode on said 2nd ostrate in the one side of said 2nd substrate in a semiconductor device given in claim 1 thru/or any 1 term of 22.

claim 24] A semiconductor device which said element chip exfoliates by laser radiation from said 1st substrate, or/and characterized by being the imprinted element chip in a semiconductor device given in claim 1 thru/or any 1 term of

claim 25] An electro-optic device characterized by equipping claim 1 thru/or any 1 term of 24 with a semiconductor vice of a publication.

claim 26] A manufacture method of a semiconductor device characterized by having a production process which foliates and imprints a production process which forms a functional device on the 1st substrate, and an element chip uch contains said one or more functional devices from said 1st substrate to up to the 2nd substrate which is a printed cuit board or a flexible printed circuit substrate, and a production process which connects a circuit on said element ip, and a circuit on said 2nd substrate.

claim 27] The manufacture method of the semiconductor device characterized by to have the production process which ms a functional device on the 1st substrate, the production process which exfoliate and imprint the element chip uch contains said one or more functional devices from said 1st substrate to up to the 3rd substrate, the production ocess which imprint said element chip from said 3rd substrate to up to the 2nd substrate which is a printed circuit ard or a flexible-printed-circuit substrate, and the production process which connect the circuit on said element chip, d the circuit on said 2nd substrate.

claim 28] A manufacture method of a semiconductor device characterized by said functional device being a thin film nsistor or an organic electroluminescent element in a manufacture method of a semiconductor device according to um 26 or 27.

claim 29] A manufacture method of a semiconductor device that a production process which exfoliates and imprints id element chip to up to the 3rd substrate in a manufacture method of a semiconductor device given in claim 26

u/or any 1 term of 28 is characterized by performing exfoliation or/and an imprint using laser radiation.

---

[anslation done.]

## NOTICES \*

Japan Patent Office is not responsible for any  
changes caused by the use of this translation.

This document has been translated by computer. So the translation may not reflect the original precisely.

\*\*\* shows the word which can not be translated.  
In the drawings, any words are not translated.

## TAILED DESCRIPTION

## Detailed Description of the Invention]

)01]

[the technical field to which invention belongs] This invention relates to the semiconductor device equipped with functional devices, such as a thin film transistor and organic electroluminescence, and the electro-optic device equipped with this semiconductor device.

)02]

[description of the Prior Art] A functional device is [ whole / a part of ] in the semiconductor device equipped with wiring between a functional device, for example, a thin film transistor and an organic electroluminescent element, and a functional device, or a support substrate, and there are not few cases where they are wiring and a support substrate, larger than it. Since a complicated manufacture process is needed with the altitude for creating a highly efficient functional device when manufacturing a functional device, and wiring and a support substrate for this semiconductor device through the manufacture process same as one, generally a manufacturing cost becomes a large sum. However, only for wiring or a support substrate, an advanced and complicated manufacture process is not needed but the manufacturing cost is cheap. If a functional device, and wiring and a support substrate can be created separately, a functional device can be arranged only into the portion needed and it will average as a whole, it is possible to reduce the manufacturing cost of this semiconductor device.

)03] then, this invention -- persons forming a functional device on the 1st substrate, and exfoliating, imprinting the element chip containing one or more functional devices to up to the 2nd substrate, connecting the circuit on an element chip, and the circuit on the 2nd substrate, and forming a semiconductor device -- Or it came to consider forming a functional device on the 1st substrate, exfoliating, imprinting the element chip containing one or more functional devices to up to the 3rd substrate, imprinting an element chip to up to the 2nd substrate further, connecting the circuit on an element chip, and the circuit on the 2nd substrate, and forming a semiconductor device. Since a functional device can be arranged only into the portion needed according to this method, if it averages as a whole, it is possible to reduce the manufacturing cost of this semiconductor device. And if the semiconductor device which carried out in this way and is formed is used, cost can be reduced and an electro-optic device can be manufactured.

)04] Laser ABYURESHON, adhesives, etc. can use a Prior art for the process of exfoliation or an imprint. In addition, these conventional technology For example T.Shimoda, et al, and Techn. Dig.IEDM 1999, 289, and S. Utsunomiya, et al, and Dig. Tech.Pap.SID 2000 and 916 and T. It is detailed to Shimoda, Proc.Asia Display / IDW'01, 7, S.Utsunomiya, et al, Proc.Asia Display / IDW'01, and 339.

)05]

[problem(s) to be Solved by the Invention] According to the above-mentioned method, it becomes possible to manufacture a very large-sized semiconductor device, holding down a manufacturing cost low. In order to operate a large-sized semiconductor device at this time, it becomes a development technical problem how the voltage drop of wiring is suppressed and whether a time constant is reduced.

)06] however, the thing for which wiring thickness is thickened and wiring resistance is made low according to the problem of a tact time or internal stress in the conventional vacuum membrane formation process therefore there was a limit in wiring or thick-film-ization of an insulator layer -- moreover, there was a limit also in suppressing the voltage drop of wiring and reducing a time constant by thickening insulator layer thickness and making insulator layer capacity small.

)007] Then, this invention forms a functional device on the 1st substrate, and exfoliates the element chip containing one or more functional devices. When imprinting to up to the 2nd substrate, connecting the circuit on an element chip, and the circuit on the 2nd substrate and forming a semiconductor device Or form a functional device on the 1st substrate

d the element chip containing one or more functional devices is exfoliated. When imprint to up to the 3rd substrate, an element chip is further imprinted to up to the 2nd substrate, the circuit on an element chip and the circuit on the 2nd substrate are connected and it forms a semiconductor device, the voltage drop of wiring of the 2nd substrate is suppressed and it aims at reducing a time constant.

008]

[means for Solving the Problem] It is a semiconductor device equipped with an element chip which a semiconductor device of this invention exfoliated from the 1st substrate, and was imprinted to the 2nd substrate, and a circuit on the 2nd substrate connected with a circuit on said element chip, and said 2nd substrate is characterized by being a printed circuit board or a flexible printed circuit substrate including one or more functional devices in which said element chip is formed on the 1st substrate.

009] Suitably, said element chip exfoliates from the 1st substrate, and is imprinted through the 3rd substrate to the 2nd substrate.

010] Moreover, a semiconductor device of this invention forms a functional device on the 1st substrate, and exfoliates element chip containing said one or more functional devices. It is the semiconductor device which imprints to up to the 2nd substrate and connects a circuit on said element chip, and a circuit on said 2nd substrate. Or form a functional device on the 1st substrate and an element chip containing said one or more functional devices is exfoliated. In a semiconductor device which imprints to up to the 3rd substrate, imprints said element chip to up to the 2nd substrate ther, and connects a circuit on said element chip, and a circuit on said 2nd substrate, it is characterized by using a printed circuit board as said 2nd substrate.

011] Moreover, a semiconductor device of this invention forms a functional device on the 1st substrate, and exfoliates element chip containing said one or more functional devices. It is the semiconductor device which imprints to up to the 2nd substrate and connects a circuit on said element chip, and a circuit on said 2nd substrate. Or form a functional device on the 1st substrate and an element chip containing said one or more functional devices is exfoliated. It is at a semiconductor device which imprints to up to the 3rd substrate, imprints said element chip to up to the 2nd substrate ther, and connects a circuit on said element chip, and a circuit on said 2nd substrate, and is characterized by using a flexible printed circuit as said 2nd substrate.

012] Suitably, said printed circuit board or said flexible printed circuit substrate is a double-sided wiring type or a multilayer-interconnection type.

013] according to the above-mentioned configuration, thickening wiring thickness and making wiring resistance lowing a printed circuit board or said flexible printed circuit substrate, -- moreover, reducing a manufacturing cost by thickening insulator layer thickness and making insulator layer capacity small, a voltage drop of wiring is suppressed d a time constant can be reduced. Furthermore, as the 2nd substrate, when using a flexible printed circuit, a thin shape, a light weight, and bending are possible, and, finally a semiconductor device which cannot break easily can be attained.

014] Suitably, a semiconductor device of this invention fills  $RI < V$ , when R and flowing current are set to I and it sets voltage drop permitted to V for resistance to each wiring.

015] Moreover,  $RC < \tau$  is filled, when setting R and capacity value to C and setting a time constant permitted to tau r resistance to each wiring.

016] Moreover, in wiring width of face, L and wiring thickness are set to d, resistivity is set to r, and resistance R is specified [ wire length / W and ] by  $R = rL/(Wd)$ .

017] Moreover, capacity value C is specified by  $C = \epsilon S/t$  about an insulator layer which sandwiches S and ring for lap area of each wiring and other wiring, using a dielectric constant as epsilon using insulator layer thickness t.

018] According to the above-mentioned configuration, a wiring material, wiring thickness, wiring width of face, a re length, an insulator layer material, insulator layer thickness, etc. can be optimized.

019] Suitably, said functional device is a thin film transistor or an organic electroluminescent element.

020] In this case, it is desirable to form an organic electroluminescent element (or thin film transistor) in a different field from a field where said thin film transistor (or organic electroluminescent element) of said 2nd substrate was printed.

021] According to the above-mentioned configuration, without complicating a printed circuit board or a flexible printed circuit, a voltage drop of wiring is suppressed and a time constant can be reduced.

022] Suitably, a semiconductor device of this invention fills  $RI < V$ , when said functional device is an organic electroluminescent element and a voltage drop permitted by I and organic electroluminescent element in current which sows R and an organic electroluminescent element in resistance to wiring which supplies current to an organic

ctroluminescent element is set to V.

)23] Furthermore, in this case, to wiring which supplies current, L and wiring thickness are set to d, resistivity is set to and resistance R is specified [ wire length / W and ] as an organic electroluminescent element by  $R = \rho L / (Wd)$  in wiring width of face.

)24] thickening wiring thickness and making wiring resistance low using a printed circuit board or said flexible printed circuit substrate, also in a semiconductor device equipped with a thin film transistor or an organic electroluminescent element as a functional device, according to the above-mentioned configuration -- moreover, reducing a manufacturing cost by thickening insulator layer thickness and making insulator layer capacity small, a voltage drop of wiring is suppressed and a time constant can be reduced. Moreover, a wiring material, wiring thickness, wiring width of face, a wire length, an insulator layer material, insulator layer thickness, etc. can be optimized.

)25] Suitably, when a functional device is an organic electroluminescent element, an organic electroluminescent element has structure of cathode / luminous layer / transparent electrode from the 2nd substrate side.

)26] According to the above-mentioned configuration, improvement in luminescence external fetch effectiveness can be aimed at by it not only can reducing a time constant, but suppressing a voltage drop of wiring and taking out luminescence of an organic electroluminescent element from a transparent electrode side.

)27] Suitably, it has the 4th substrate which sticks a semiconductor device of this invention with said 2nd substrate ther, and is set, and a circuit on said 2nd substrate is connected with a circuit on said 4th substrate. In this case, it is desirable to connect with an organic electroluminescent element or a thin film transistor by which a circuit on said 2nd substrate was formed on said 4th substrate.

)28] According to the above-mentioned configuration, a still more highly efficient semiconductor device is realizable sticking with the 4th substrate in which sticking with the 4th substrate and uniting, an organic electroluminescent element, or a thin film transistor was formed, and uniting.

)29] Suitably, an organic electroluminescent element formed on said 4th substrate has structure of cathode / luminous layer / transparent electrode from the 2nd substrate side.

)30] According to the above-mentioned configuration, improvement in luminescence external fetch effectiveness can be aimed at by it not only can reducing a time constant, but suppressing a voltage drop of wiring and taking out luminescence of an organic electroluminescent element from a transparent electrode side.

)31] Suitably, magnitude or/and coefficient of thermal expansion of said 2nd substrate and said 4th substrate are comparable. In this case, compared with the 2nd substrate, it is desirable that the 4th substrate is the magnitude of an order 1/22 double less or equal or/and for a difference of coefficient of thermal expansion of the 2nd substrate and the 1st substrate to be 0.1%/degree C or less.

)32] Also when it not only can reduce a time constant, but according to the above-mentioned configuration it suppresses a voltage drop of wiring and there is a temperature change at the time of manufacture or actuation, a highly reliable semiconductor device without separation or a camber can be realized.

)33] Suitably, said functional device is a thin film transistor, and said 4th substrate is stuck and set by different field in a field where said thin film transistor of said 2nd substrate was imprinted.

)34] According to the above-mentioned configuration, without complicating a printed circuit board or a flexible printed circuit, a voltage drop of wiring is suppressed and a time constant can be reduced.

)35] Suitably, a drawer electrode on said 2nd substrate is concentrated and formed in the one side of said 2nd substrate. In this case, as for the 2nd substrate, it is desirable that it is a flexible printed circuit substrate.

)36] According to the above-mentioned configuration, a voltage drop of wiring is suppressed and it becomes possible not only can to reduce a time constant, but to carry out the roll-up of the flexible printed circuit.

)37] Suitably, said element chip exfoliates by laser radiation from said 1st substrate, or/and is an imprinted element chip.

)38] According to the above-mentioned configuration, easily, a voltage drop of wiring can be suppressed and structure where a time constant can be reduced can be acquired.

)39] An electro-optic device of this invention is characterized by having a semiconductor device of this invention.

)40] According to the above-mentioned configuration, a voltage drop of wiring is suppressed, a request which reduces time constant reducing a manufacturing cost to a powerful electro-optic device, a voltage drop of wiring is suppressed and a time constant can be reduced.

)41] A manufacture method of a semiconductor device of this invention is characterized by having a production process which exfoliates and imprints a production process which forms a functional device on the 1st substrate, and an element chip which contains said one or more functional devices from said 1st substrate to up to the 2nd substrate which a printed circuit board or a flexible printed circuit substrate, and a production process which connects a circuit on said

ment chip, and a circuit on said 2nd substrate.

42] Moreover, a production process in which a manufacture method of a semiconductor device of this invention has a functional device on the 1st substrate, A production process which exfoliates and imprints an element chip which contains one or more functional devices from said 1st substrate to up to the 3rd substrate, It is characterized having a production process which imprints said element chip from said 3rd substrate to up to the 2nd substrate which is a printed circuit board or a flexible printed circuit substrate, and a production process which connects a circuit said element chip, and a circuit on said 2nd substrate.

43] Suitably, said functional device is a thin film transistor or an organic electroluminescent element.

44] A production process which exfoliates and imprints said element chip to up to the 3rd substrate suitably performs exfoliation or/and an imprint using laser radiation.

45]

[nbodiment of the Invention] Hereafter, the gestalt of desirable operation of this invention is explained.

46] (The 1st example) Drawing 1 is drawing showing the manufacture method of the semiconductor device of the 1st example of this invention. A semiconductor device is formed by forming functional devices 12 (for example, a thin film transistor, an organic electroluminescent element, etc.) on the 1st substrate 11, exfoliating, imprinting the element chip containing one or more functional devices 12 to up to the 2nd substrate 14, and connecting the circuit on the element chip 13, and the circuit on the 2nd substrate 14. On the element chip 13, the 1st pad 15 which consists of a conductive material is formed, the 2nd pad 16 which consists of a conductive material is formed on the 2nd substrate 14, and the circuit on the element chip 13 and the circuits on the 2nd substrate 14 (wiring 17 etc.) are connected by taking the flow between the 1st pad 15 and the 2nd pad 16. It is drawing which drawing and drawing 1 (b) on which drawing 1 (a) sticks the 1st substrate 11 and the 2nd substrate 14 exfoliated, imprinted the element chip 13 to up to the 2nd substrate 14, and removed the 1st substrate 11. Before an exfoliation imprint or the back may take a flow with the 1st pad 15 and the 2nd pad 16.

47] Drawing 2 is drawing showing the structure of the semiconductor device of the 1st example of this invention.

Drawing 2 (a) is an isometric plot from a top, and drawing 2 (b) is an isometric plot from the bottom. As the 2nd substrate 14, the printed circuit board (this example printed circuit board of double-sided wiring) is used. Between the double-sided wiring 17, it has connected with the beer plug 18.

48] according to such structures, thickening wiring thickness and making wiring resistance low using a printed circuit board, -- moreover, reducing a manufacturing cost by thickening insulator layer thickness and making insulator layer capacity small, the voltage drop of wiring is suppressed and a time constant can be reduced.

49] In this example, the voltage drop by which 2.3mA of current on which 42 ohms of resistance flow is permitted to certain wiring 17 is 100mV. That is,  $RI < V$  is filled, when setting R and the flowing current to I and setting the voltage drop permitted to V for resistance. Moreover, the time constant with which 42 ohms and 41pF of capacity value are permitted for resistance to a certain wiring 17 is 2 microseconds. That is,  $RC < \tau$  is filled, when setting R and capacity due to C and setting the time constant permitted to tau for resistance. Moreover, for 256mm and wiring thickness, 1.6 micrometers and resistivity are [ wiring width of face / 100 micrometers and a wire length /  $2.6 \times 10^{-8} \text{ohmm}$  and instance ] 42ohms to the above-mentioned wiring 17. That is, in wiring width of face, L and wiring thickness are set to resistivity is set to r, and resistance R is specified [ wire length / W and ] by  $R=rL/(Wd)$ . Moreover, for insulator layer thickness, 1 micrometer and a dielectric constant are [  $3.45 \times 10^{-11} \text{Fm}^{-1}$  and capacity value ] 41pF about the insulator layer into which the lap area of the wiring and other wiring inserts  $1.2 \times 10^{-6} \text{m}^2$ , and wiring to the above-mentioned wiring 17. That is, capacity value C is specified by  $C=\epsilon S/t$  about the insulator layer which sandwiches S and t for the lap area of the wiring and other wiring, using a dielectric constant as epsilon using insulator layer thickness as t.

50] According to these methods, a wiring material, wiring thickness, wiring width of face, a wire length, an insulator layer material, insulator layer thickness, etc. can be optimized.

51] In addition, no matter materials, such as the 1st substrate 11, a functional device 12, the element chip 13, the 2nd substrate 14, the 1st pad 15, the 2nd pad 16, wiring 17, and the beer plug 18, the manufacture method, structure, etc. may be what things, the thought of this invention is effective.

52] (The 2nd example) Drawing 3 is drawing showing the manufacture method of the semiconductor device of the 2nd example of this invention. A semiconductor device is formed by forming functional devices 12 (for example, a thin film transistor, an organic electroluminescent element, etc.) on the 1st substrate 11, exfoliating, imprinting the element chip 13 containing one or more functional devices 12 to up to the 3rd substrate 19, imprinting the element chip 13 to up to the 2nd substrate 14 further, and connecting the circuit on the element chip 13, and the circuit on the 2nd substrate 14. That is, in this example, the element chip 13 exfoliates from the 1st substrate 11, and is imprinted through the 3rd

strate 19 to the 2nd substrate 14. It is drawing which drawing and drawing 3 (b) on which drawing 3 (a) sticks the 1st substrate 11 and the 3rd substrate 19 exfoliated, and imprinted the element chip 13 to up to the 3rd substrate 19, and wiring and drawing 3 (c) which stick the 3rd substrate 19 and the 2nd substrate 14 imprinted the element chip 13 to up the 2nd substrate 14, and removed the 3rd substrate 19. After exfoliation imprinting from the 3rd substrate to the 2nd substrate, it performs taking a flow with the 1st pad 15 and the 2nd pad 16.

053] Drawing 4 is drawing showing the structure of the semiconductor device of the 2nd example of this invention. drawing 4 (a) is an isometric plot from a top, and drawing 4 (b) is an isometric plot from the bottom. As the 2nd substrate 14, the flexible printed circuit substrate (this example flexible printed circuit substrate of a multilayer reconnection) is used. Although it is three-layer wiring here, you may be four or more layers. Between the multilayer ring 17, it has connected with the beer plug 18.

054] according to such structures, thickening wiring thickness and making wiring resistance low using a flexible printed circuit substrate, -- moreover, reducing a manufacturing cost by thickening insulator layer thickness and making insulator layer capacity small, the voltage drop of wiring is suppressed and a time constant can be reduced. Moreover, as to the 2nd substrate 14, since the flexible printed circuit substrate is used, a thin shape, a light weight, and bending are possible, and, finally the semiconductor device which cannot break easily can be obtained.

055] In addition, no matter materials, such as the 1st substrate 11, a functional device 12, the element chip 13, the 2nd substrate 14, the 1st pad 15, the 2nd pad 16, wiring 17, the beer plug 18, the 3rd substrate 19, and the connection wiring , the manufacture method, structure, etc. may be what things, the thought of this invention is effective.

056] (The 3rd example) Drawing 5 is drawing showing the structure of the semiconductor device of the 3rd example of this invention. The 1st, the 2nd example, and the outline of the element chip 21 and the 2nd substrate 22 which contain a thin film transistor as a functional device, or these manufacture methods are the same.

057] The organic electroluminescent element 26 is formed in the 4th substrate 27 in this example. Moreover, the functional device on the 2nd substrate 22 is a thin film transistor.

058] The element chip 21 is first imprinted to the 2nd substrate 22, and the 4th substrate 27 is stuck on the 2nd substrate 22 through the different direction electrical conducting material 28 after it. Then, you may exfoliate the organic electroluminescent element 26 from the 4th substrate 27. When exfoliating the organic electroluminescent element 26 from the 4th substrate 27, the organic electroluminescent element 26 will be formed in a different field from the field where said thin film transistor of the 2nd substrate 22 was imprinted as a functional device.

059] In addition, the above-mentioned configuration has the element chip 21 good for reverse also as a configuration in which the thin film transistor is formed in the 4th substrate 27 including the organic electroluminescent element.

060] according to the above-mentioned configuration, thickening wiring thickness and making wiring resistance low using a printed circuit board also in the semiconductor device equipped with a thin film transistor or an organic electroluminescent element as a functional device, -- moreover, reducing a manufacturing cost by thickening insulator layer thickness and making insulator layer capacity small, the voltage drop of wiring is suppressed and a time constant can be reduced.

061] Here, when not exfoliating the organic electroluminescent element 26 from the 4th substrate 27, where the 2nd substrate 22 and the 4th substrate 27 are stuck and set, a semiconductor device is constituted at this example.

062] Thus, a still more highly efficient semiconductor device is realizable sticking with the 2nd substrate 22 and the 4th substrate 27, and uniting, or by sticking with the 4th substrate 27 in which the organic electroluminescent element 26 was formed, and uniting.

063] In this example, the voltage drop by which 2.3mA of current to which 42 ohms of resistance flow to the wiring which supplies current to the organic electroluminescent element 26 is permitted is 100mV. That is,  $RI < V$  is satisfied when setting to V the voltage drop permitted by I and the organic electroluminescent element 27 in the current which flows R and an organic electroluminescent element in resistance to the wiring 25 which supplies current to the organic electroluminescent element 26. Moreover, for 256mm and wiring thickness, 1.6 micrometers and resistivity are [ wiring width of face / 100 micrometers and a wire length /  $2.6 \times 10^{-8} \text{ohmm}$  and resistance ] 42ohms to the wiring 25 which applies current to the organic electroluminescent element 26. That is, to the wiring 25 which supplies current, in wiring width of face, L and wiring thickness are set to d, resistivity is set to r, and resistance R is specified [ wire length / Wd ] as the organic electroluminescent element 26 by  $R = rL/(Wd)$ .

064] According to the configuration of this example, in the semiconductor device equipped with a thin film transistor or an organic electroluminescent element as a functional device, a wiring material, wiring thickness, wiring width of face, a wire length, an insulator layer material, insulator layer thickness, etc. can be optimized.

065] In this example, the organic electroluminescent element 26 has structure of cathode / luminous layer / transparent electrode from the 2nd substrate 22 side. The manufacture method of the organic electroluminescent element 26 is as

low-mentioned.

066] According to this structure, improvement in luminescence external fetch effectiveness can be aimed at by it not only can reducing a time constant, but suppressing the voltage drop of wiring and taking out luminescence of an organic electroluminescent element from a transparent electrode side.

067] In this example, the 2nd substrate 22 and the 4th substrate 27 are comparable magnitude, and the coefficient of thermal expansion of the 2nd substrate 22 and the 4th substrate 27 is comparable magnitude. Compared with the 2nd substrate 22, the 4th substrate 27 is the magnitude of an or more 1/22 double less or equal, and, more specifically, the difference of the coefficient of thermal expansion of the 2nd substrate 22 and the 4th substrate 24 is 0.1%/degree C or less.

068] Also when it not only can reduce a time constant, but according to such structures it suppresses the voltage drop of wiring and there is a temperature change at the time of manufacture or actuation, a highly reliable semiconductor device without separation or a camber can be realized.

069] In this example, a thin film transistor is formed in one field of the 2nd substrate 22, and the organic electroluminescent element 26 is formed in another side. According to this structure, without complicating a printed circuit board or a flexible printed circuit, the voltage drop of wiring is suppressed and a time constant can be reduced.

070] In addition, no matter materials, such as the element chip 21, the 2nd substrate 22, the 1st pad 23, the 2nd pad 24, ring 25, the organic electroluminescent element 26, the 4th substrate 27, and the different direction electrical conducting material 28, the manufacture method, structure, etc. may be what things, the thought of this invention is effective.

071] (The 4th example) Drawing 6 is drawing showing the structure of the electro-optic device of the 4th example of this invention. The electro-optic device of this example is equipped with the semiconductor device of the same structure as the 1st - the 3rd example. Drawing 6 (a) is general-view drawing. On the viewing area 31, the element chip 32 is arranged and wiring 33 is formed. Wiring 33 is connected to the drive circuit 35 by the drawer wiring 34. If the element chip 32 is formed on a viewing area 31 (equivalent to the 2nd substrate) like the 1st - the 3rd example, it can be \*\*(ed), d it contains the display device, respectively.

072] According to this structure, generally, the voltage drop of wiring is suppressed, the request which reduces a time instant reducing a manufacturing cost to a powerful electro-optic device, the voltage drop of wiring is suppressed and time constant can be reduced. Especially, in an electro-optic device, generally, since the surface ratio of wiring or a support substrate to a functional device is large, wiring and a support substrate are created separately and the effect of reduction of the manufacturing cost by arranging a functional device only into the portion needed becomes more effective.

073] In this example, the drawer electrode on the 2nd substrate is concentrated and formed in the one side of the 2nd substrate in the semiconductor device which uses a flexible printed circuit substrate.

074] According to this structure, the voltage drop of wiring is suppressed and it becomes possible it not only can to reduce a time constant, but to carry out the roll-up of the flexible printed circuit substrate. Drawing 6 (b) is drawing when carrying out a roll-up.

075] In addition, the electro-optic device driven by the active matrix can also be manufactured using the semiconductor device of this invention. Drawing 10 is circuitry drawing of the pixel field of an electro-optic device 70, and each pixel is electric field. From the scanning-line driver 71, the selection-signal line Vsel is supplied to each pixel. From the data-line driver 72, the signal line Vsig and the power supply line Vdd are supplied to each pixel. By controlling the selection-signal line Vsel and a signal line Vsig, the current program over each pixel is performed and luminescence by the light-emitting part OLED is controlled.

076] (Example of the exfoliation imprint method) Drawing 7 is drawing showing the example of the exfoliation imprint method of this invention. It explains as the one method of an exfoliation imprint of this invention. About the foliation imprint method, in addition, for example T. Shimoda, et al, and Techn. Dig.IEDM 1999, 289, and S. Utsunomiya, et al, and Dig. Tech.Pap.SID 2000, 916, and T. It is detailed to Shimoda, Proc.Asia Display / IDW'01, 327, Utsunomiya, et al, Proc.Asia Display / IDW'01, 339, etc.

077] First, the amorphous silicon film 42 is formed by PECVD which used SiH4 on the 1st substrate 41 made with a quartz or glass, and LPCVD using Si2H6. Next, a functional device 43 is formed on it. The 1st pad 44 is formed in the maximum upper layer ( drawing 7 (a)). This is made into vertical reverse, since it is made with lamination, a quartz, or glass at the 2nd substrate 45, it lets the 1st transparent substrate 41 pass, and only the element chip 47 to carry out an exfoliation imprint irradiates laser 46 ( drawing 7 (b)). Then, the amorphous silicon film 42 ABYURESHON and foliates and the element chip 47 imprints only the place which laser 46 irradiated to the 2nd substrate 45 ( drawing 7 (c)). Thus, the exposure of laser 46 is used for exfoliation and an imprint of the element chip 47 here. According to this

icture, it becomes possible to ensure exfoliation and an imprint of the element chip 47.

78] (Example of the manufacture method of a thin film transistor) Drawing 8 is drawing showing the example of the manufacture method of the thin film transistor of this invention. The manufacture method is explained about the thin film transistor as one of the functional devices of this invention. Here, it explains taking the case of a laser crystallization polycrystal thin film transistor. First, an amorphous silicon film is formed by PECVD which used SiH<sub>4</sub> on the 1st substrate 51 made with a quartz or glass, and LPCVD using Si<sub>2</sub>H<sub>6</sub>. By irradiating laser 53, it crystallizes and amorphous silicon film turns into the polycrystalline silicon film 52 (drawing 8 (a)). the gate insulator layer 54 after carrying out patterning of the polycrystalline silicon film 52 -- forming membranes -- the gate electrode 55 -- membrane formation -- and patterning is carried out (drawing 8 (b)). Impurities, such as Lynn and boron, are driven into the polycrystalline silicon film 52 in self align using the gate electrode 55, it is activated, and the source field and the drain field 56 of CMOS structure are formed. an interlayer insulation film 57 -- forming membranes -- a contact hole -- patterning -- a source electrode and the drain electrode 58 -- membrane formation -- and patterning is carried out drawing 8 (c).

79] (Example of the manufacture method of an organic electroluminescent element) Drawing 9 is drawing showing the example of the manufacture method of the organic electroluminescent element of this invention. The manufacture method is explained about the organic electroluminescent element as one of the functional devices of this invention. First, a transparent electrode 62 is formed on the 1st substrate 61 made with a quartz or glass, and opening is formed in a field [ a field / the adhesion layer 63 / form / field / membranes and ] to make it emit light. Bank 64 is formed by polyimide or the acrylic and opening is formed in a field [ a field ] to make it emit light. (Drawing 9 (a)) . Next, the emissibility on the surface of a substrate is controlled by plasma treatment, such as oxygen plasma and CF<sub>4</sub> plasma. Then, the hole-injection layer 65 and a luminous layer 66 are formed according to vacuum processes, such as liquid phase processes, such as a spin coat, squeegee coating, and an ink jet process (T.Shimoda, S.Seki, et al, Dig.SID'99, 5, S.Kanbe, et al, Proc.Euro Display'99 Late-News Papers, 85), and a spatter, vacuum evaporationo. In order that a dark function may make it small, the cathode 67 containing alkali metal is formed, and it closes with encapsulant 68 to completes (drawing 9 (b)). In addition, the example of the manufacture method of this organic electroluminescent element can also be used as the manufacture method of the organic electroluminescent element formed in the 4th substrate.

80] (in addition to this) The semiconductor device of this invention is applicable to various kinds of electronic equipment equipped with an electro-optic device. The example of the electronic equipment which can apply the semiconductor device of this invention to drawing 11 is given.

81] This drawing (a) is an example of application to a cellular phone, and the cellular phone 230 is equipped with the antenna section 231, the voice output section 232, the voice input section 233, the control unit 234, and the electro-optic device (electro-optic device 10 shown in drawing 10 by a diagram) equipped with the semiconductor device of this invention. Thus, the electro-optic device equipped with the semiconductor device of this invention is available as a display of a cellular phone 230.

82] This drawing (b) is an example of application to a video camera, and the video camera 240 is equipped with the vision section 241, a control unit 242, the voice input section 243, and an electro-optic device (electro-optic device shown in drawing 10 by a diagram) equipped with the semiconductor device of this invention. Thus, the electro-optic device equipped with the semiconductor device of this invention is available as a finder or a display.

83] This drawing (c) is an example of application to a pocket mold personal computer, and the computer 250 is equipped with the camera section 251, the control unit 252, and the electro-optic device (electro-optic device 10 shown in drawing 10 by a diagram) equipped with the semiconductor device of this invention. Thus, the electro-optic device equipped with the semiconductor device of this invention is available as a display.

84] This drawing (d) is an example of application to a head mount display, and the head mount display 260 is equipped with the electro-optic device (electro-optic device 10 shown in drawing 10 by a diagram) equipped with the semiconductor device of a band 261, the optical-system stowage 262, and this invention. Thus, the electro-optic device equipped with the semiconductor device of this invention is available as a source of image display.

85] This drawing (e) is an example of application to a rear mold projector, and the projector 270 is equipped with the electro-optic device (electro-optic device 10 shown in drawing 10 by a diagram) which equips a case 271 with the light source 272, the synthetic optical system 273, a mirror 274, a mirror 275, a screen 276, and the semiconductor device of this invention. Thus, the electro-optic device equipped with the semiconductor device of this invention is available as a source of image display.

86] This drawing (f) is an example of application to a front mold projector, a projector 280 is equipped with the electro-optic device (electro-optic device 10 shown in drawing 10 by a diagram) which equips a case 282 with the

miconductor device of optical system 281 and this invention, and the display of it on a screen 283 is attained in the image. Thus, the electro-optic device equipped with the semiconductor device of this invention is available as a source image display.

087] An electro-optic device equipped with the semiconductor device of not only the above-mentioned example but this invention is applicable to all electronic equipment. For example, it is utilizable for a fax machine with a display function, the finder of a digital camera, the pocket mold TV, DSP equipment, PDA, an electronic notebook, the advertising notice board, the display for an advertisement public notice, etc.

---

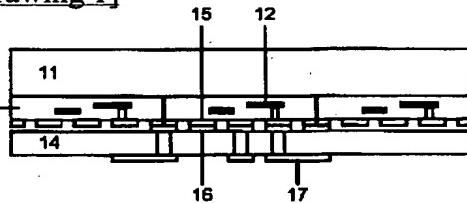
ranslation done.]

**NOTICES \***

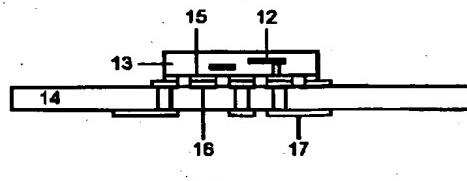
Japan Patent Office is not responsible for any  
changes caused by the use of this translation.

This document has been translated by computer. So the translation may not reflect the original precisely.

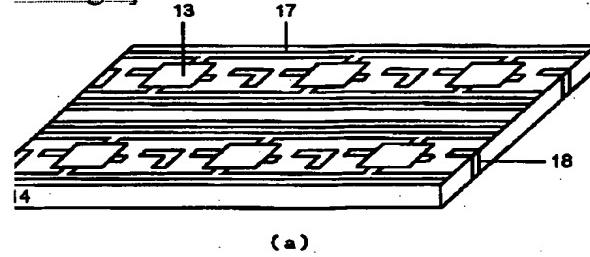
\*\*\* shows the word which can not be translated.  
In the drawings, any words are not translated.

**DRAWINGS****Drawing 1]**

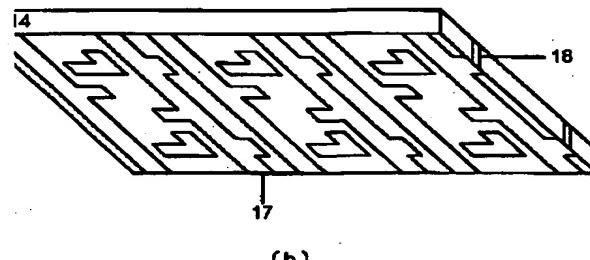
(a)



(b)

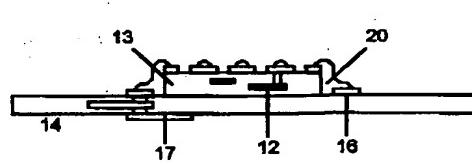
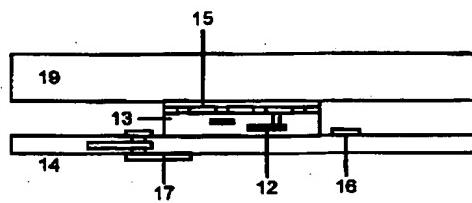
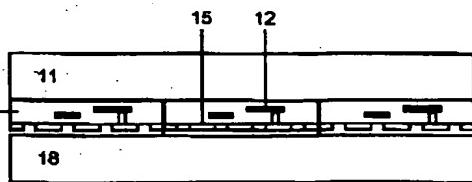
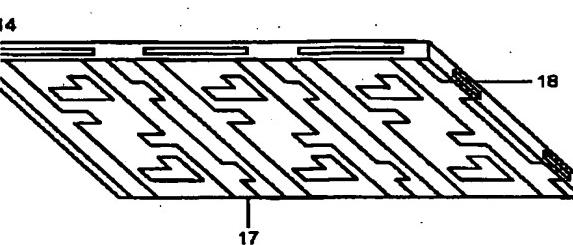
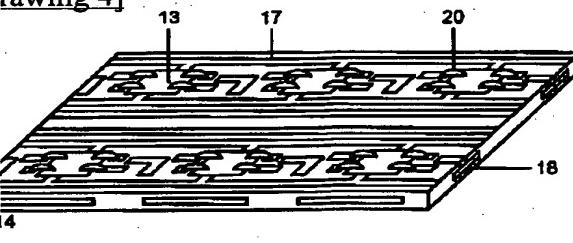
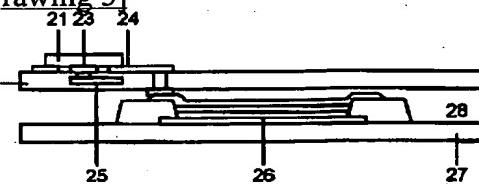
**Drawing 2]**

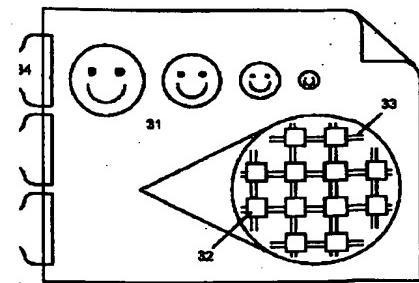
(a)



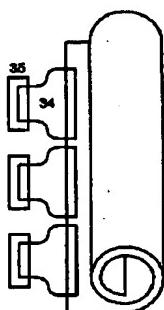
(b)

**Drawing 3]**

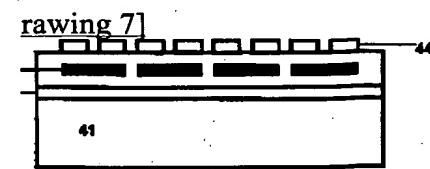
Drawing 4]Drawing 5]Drawing 6]



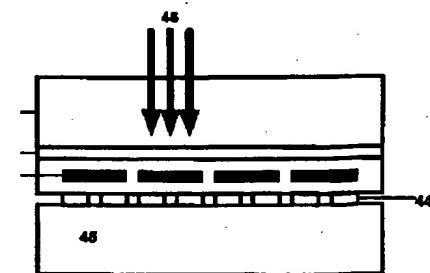
(a)



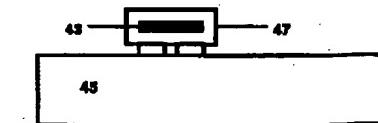
(b)



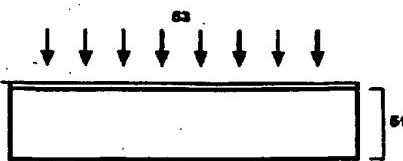
(a)



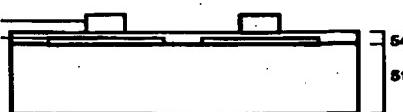
(b)



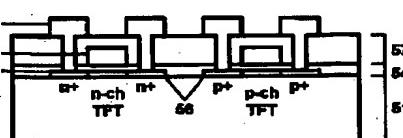
[Drawing 8]



(a)



(b)

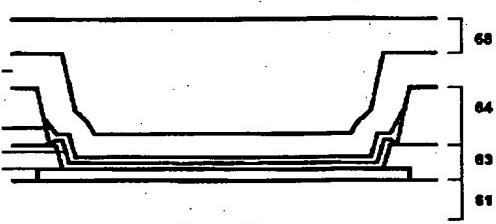


(c)

[rawing 9]

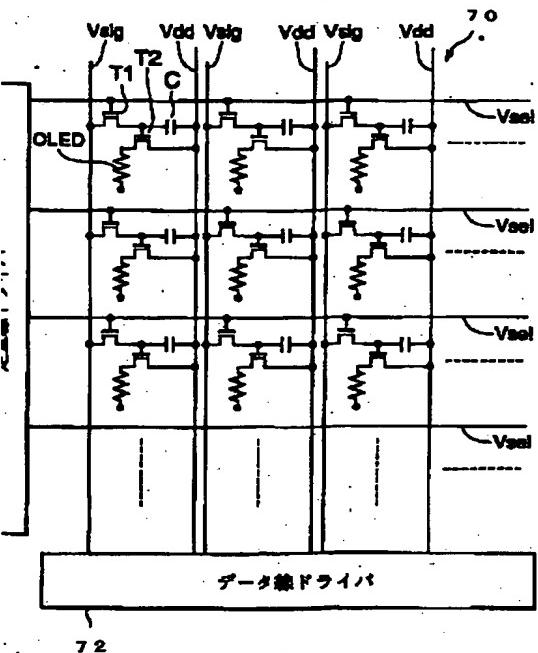


(a)

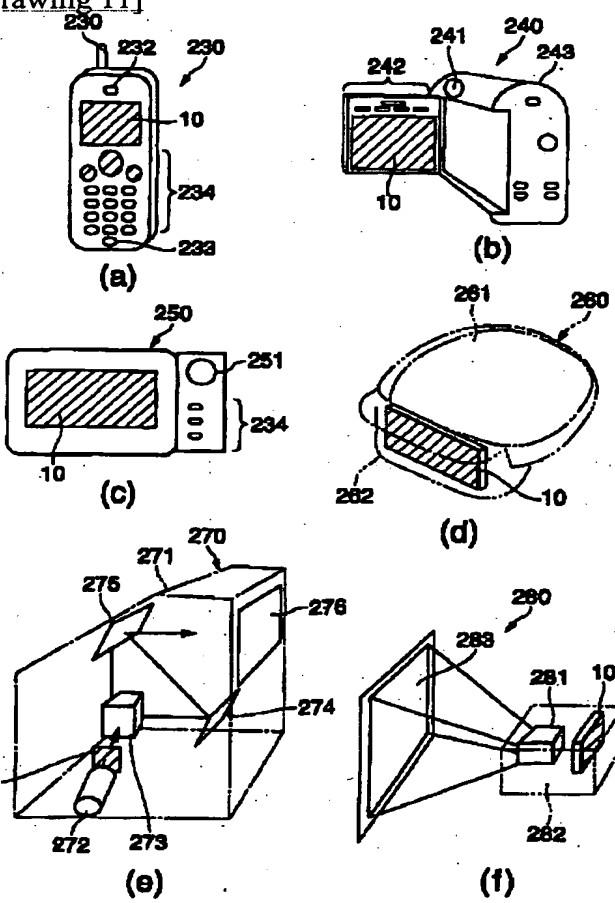


(b)

[rawing 10]



rawing 11]



ranslation done.]

**miconductor device for electronic device e.g. digital camera, includes thin-film transistor in chip which is peeled from substrate and transferred to flexible printed circuit board**

**Ent Assignee: SEIKO EPSON CORP**

#### Patent Family

atent Number	Kind	Date	Application Number	Kind	Date	Week	Type
2003297974	A	20031017	JP 200297197	A	20020329	200379	B

**riority Applications (Number Kind Date): JP 200297197 A ( 20020329)**

#### Patent Details

Patent	Kind	Language	Page	Main IPC	Filing Notes
2003297974	A		13	H01L-023/12	

#### stract:

2003297974 A

VELTY A chip (13) contains a function element (12), thin-film transistor, organic electroluminescent element, and on a substrate. The chip is peeled from the substrate and transferred to a flexible printed circuit board.

ETAILED DESCRIPTION INDEPENDENT CLAIMS are also included for the following:

- ) electro-optical apparatus; and
- ) semiconductor device manufacturing method.

SE For electronic device such as facsimile, digital camera, portable television, digital signal processor, personal digital assistant, electronic notebook, notice board, display for advertisement public notice.

DVANTAGE As the function element is arranged only at the required substrate, the manufacturing cost is reduced.

SCRIPTION OF DRAWING(S) The figure shows a sectional view of the semiconductor device.

substrate (11)

action element (12)

ment chip (13)

inted circuit board (14)

ds (15,16)

; 13 DwgNo 1/11

JP,2003-297974,A